

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年11月 8日

出願番号

Application Number: 特願2002-325768

[ ST.10/C ]:

[ JP2002-325768 ]

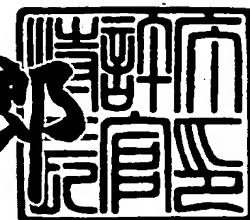
出願人

Applicant(s): 沖電気工業株式会社

2003年 5月13日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一



出証番号 出証特2003-3035399

【書類名】 特許願  
【整理番号】 OH003753  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 23/12  
【発明者】  
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
【氏名】 閑野 義則  
【特許出願人】  
【識別番号】 000000295  
【氏名又は名称】 沖電気工業株式会社  
【代理人】  
【識別番号】 100085419  
【弁理士】  
【氏名又は名称】 大垣 孝  
【手数料の表示】  
【予納台帳番号】 012715  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9001068  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 第1主表面、該第1主表面と対向していて該第1主表面よりも大面積の第2主表面、及び該第1主表面と第2主表面との間を接続する側壁面を有する第1半導体チップと、

該第1半導体チップの第1主表面に設けられた第1パッドと、

前記第1半導体チップの第2主表面が対面する第1の領域と該第1の領域を囲む第2の領域とを有する第3主表面と、該第3主表面と対向する第4主表面とを有する半導体チップ搭載部と、

前記第1パッドに電気的に接続されていて、該第1パッドから、前記第1主表面及び前記側壁面に沿って、前記第2の領域上へと延在している第1配線層と、

前記第2の領域上に設けられていて、前記第1パッドと前記第1配線層を介して電気的に接続された外部端子と  
を具えることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記半導体チップ搭載部は、前記第3主表面から前記第4主表面へと貫通する導体部を有し、該導体部は前記第1配線層と電気的に接続されていることを特徴とする半導体装置。

【請求項3】 請求項1または2に記載の半導体装置において、前記半導体チップ搭載部の前記第3主表面上には、前記第1半導体チップの第2主表面と対向して該第2主表面を横断する配線部が設けられ、該配線部は前記第1配線層と電気的に接続されており、前記第1パッドは、前記第1配線層及び前記配線部を介して、前記外部端子と電気的に接続されていることを特徴とする半導体装置。

【請求項4】 請求項1ないし3のいずれか一項に記載の半導体装置において、前記半導体チップ搭載部を第2パッドを有する第2半導体チップとし、該第2半導体チップの前記第2パッドは前記第1配線層と電気的に接続されていること特徴とする半導体装置。

【請求項5】 請求項1または2に記載の半導体装置において、前記半導体チップ搭載部を第2半導体チップとし、前記第1半導体チップと前記第2半導体

チップとの間には前記第1半導体チップの第2主表面と対向して該第2主表面を横断する第2配線層を具え、該第2配線層は前記第1配線層と電気的に接続されており、前記第1パッドは、前記第1配線層及び前記第2配線層を介して、前記外部端子と電気的に接続されていることを特徴とする半導体装置。

【請求項6】 第1主表面、該第1主表面と対向していて該第1主表面よりも大面積の第2主表面、及び該第1主表面と該第2主表面との間を接続する側壁面であって、該側壁面と前記第1主表面との稜部が面取りされて形成されている傾斜側壁面を有する前記側壁面を有する第1半導体チップと、

該第1半導体チップの第1主表面に設けられた第1パッドと、

前記傾斜側壁面の少なくとも前記第1主表面側の面領域を露出させるように、前記第1半導体チップを包囲していて、第3主表面と、該第3主表面と対向する第4主表面とを有する枠状部と、

前記第1パッドに電気的に接続されていて、該第1パッドから、前記第1主表面及び前記傾斜側壁面に沿って、前記第3主表面上へと延在している第1配線層と、

前記第3主表面上に設けられていて、前記第1パッドと前記第1配線層を介して電気的に接続された外部端子と  
を具えたことを特徴とする半導体装置。

【請求項7】 請求項6に記載の半導体装置において、前記枠状部は、前記第3主表面から前記第4主表面へと貫通する導体部を有し、該導体部は前記第1配線層と電気的に接続されていることを特徴とする半導体装置。

【請求項8】 請求項1ないし7のいずれか一項に記載の半導体装置において、前記第1配線層と前記外部端子との間に設けられたポスト部と、前記第1配線層上及び前記ポスト部の側面上に設けられた封止層とを具えていることを特徴とする半導体装置。

【請求項9】 請求項8に記載の半導体装置において、前記ポスト部のうち前記封止層中に埋め込まれている前記ポスト部上には、酸化膜が形成されていることを特徴とする半導体装置。

【請求項10】 請求項1ないし9のいずれか一項に記載の半導体装置にお

いて、前記第1配線層のうち、前記第1主表面と前記側壁面との境界上に位置する部分の幅が、前記第1配線層の残りの部分よりも幅広に形成されていることを特徴とする半導体装置。

【請求項1 1】 請求項1ないし10のいずれか一項に記載の半導体装置が、前記第1半導体チップの厚み方向に、複数積層されてなることを特徴とする半導体装置。

【請求項1 2】 第1パッドを具える第1主表面と、該第1主表面と対向していて該第1主表面よりも大面積を有する第2主表面とを具える第1半導体チップに、前記第1主表面及び第2主表面を接続する側壁面を形成する側壁面形成工程と、

前記側壁面が形成された前記第1半導体チップを、第1の領域と該第1の領域を囲む第2の領域とを有する第3主表面と、該第3主表面と対向する第4主表面とを有する半導体チップ搭載部の、前記第1の領域上に搭載する搭載工程と、

前記第1パッドに電気的に接続されるとともに、該第1パッドから、前記第1主表面及び前記側壁面に沿って、前記第2の領域上へと延在する第1配線層を形成する第1配線層形成工程と、

前記第2の領域上に、前記第1パッドと前記第1配線層を介して電気的に接続されように外部端子を形成する外部端子形成工程と  
を含むことを特徴とする半導体装置の製造方法。

【請求項1 3】 第1パッドを具える第1主表面、該第1主表面と対向していて該第1主表面よりも大面積を有する第2主表面、及び該第1主表面と該第2主表面との間を接続する側壁面を有する第1半導体チップの、前記第1主表面と前記側壁面との稜部の面取りを行って、傾斜側壁面を形成する傾斜側壁面形成工程と、

支持部上に、第3主表面と該第3主表面と対向する第4主表面とを有するとともに、前記傾斜側壁面の少なくとも前記第1主表面側の面領域を露出させて配置するための開口部を有する枠状部を、該第4主表面と前記支持部とが対向配置されるように形成する枠状部形成工程と、

前記第1半導体チップを前記開口部内に配置して、該第1半導体チップを前記

支持部上に搭載する搭載工程と、

前記第1パッドに電気的に接続されるとともに、該第1パッドから、前記第1主表面及び前記傾斜側壁面に沿って、前記第3主表面上へと延在する第1配線層を形成する第1配線層形成工程と、

前記第3主表面上に、前記第1パッドと前記第1配線層を介して電気的に接続されるように外部端子を形成する外部端子形成工程と  
を含むことを特徴とする半導体装置の製造方法。

【請求項14】 請求項13に記載の半導体装置の製造方法において、前記枠上部形成工程では、前記枠状部を、感光性樹脂をパターニングした後に該感光性樹脂を硬化して形成し、前記搭載工程を該感光性樹脂のパターニング後であつてかつ該感光性樹脂の硬化前に行うことを特徴とする半導体装置の製造方法。

【請求項15】 請求項13または14に記載の半導体装置の製造方法において、前記搭載工程の後に、前記支持部を除去する支持部除去工程を含むことを特徴とする半導体装置の製造方法。

【請求項16】 面取りされた縁部を有する第1主表面と、該第1主表面と対向する第2主表面と、該第1主表面と該第2主表面との間を接続する側面とを有する第1半導体チップと、

前記第1半導体チップの第1主表面に設けられた第1パッドと、  
第3主表面と、該第3主表面と対向する第4主表面とを有していて、前記縁部の一部を露出させるように、前記第1半導体チップの前記側面に接して該第1半導体チップを囲む枠状部と、

前記第1パッドに電気的に接続されていて、該第1パッドから、前記第1主表面及び前記縁部に沿って、前記第3主表面上へと延在している第1配線層と、

前記第3主表面上に設けられていて、前記第1パッドと前記第1配線層を介して電気的に接続された外部端子と  
を具えたことを特徴とする半導体装置。

#### 【発明の詳細な説明】

【0001】

#### 【発明の属する技術分野】

この発明は、パッケージ構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、携帯機器等の電子器機に搭載される半導体装置の小型化、高密度化及び伝送信号の高周波化が益々求められている。これに伴い、半導体チップの外形サイズとほぼ同じ外形サイズにパッケージングが施された半導体装置であるCSP (Chip Size Package) が注目されている。

【0003】

近年、特に、製造コストの低減化等の目的から、ウェハ状態のまま外部端子形成工程までを完了させた後、ダイシング等によって個片化されたCSPである、WCSP (Wafer level Chip Size Package) の技術開発が盛んに行われている（例えば、非特許文献1参照）。

【0004】

このWCSPには、半導体チップ上の電極パッドと外部端子とを、当該外部端子を所望位置に再配置させる配線層を介して電気的に接続させた構造を有するものがある。この配線層は、バターニング形成されており、再配線層或いは配線パターンとも称する。

【0005】

こうした再配線層を有するWCSPは、再配線層によって配線設計の自由度を向上させることができる利点を有している。

【0006】

その一方で、近年、高密度実装の実現のため、1つのパッケージ内に複数のチップを平面的に配置または半導体チップの厚み方向に積層（スタック）させた、MCP (Multi Chip Package) が実用化されつつある（例えば、非特許文献2参照）。

【0007】

また、実装密度をさらに高める構造として、現在、複数のパッケージを半導体チップの厚み方向に積層させる、パッケージ積層（スタック）型のMCPが提案されている。

【0008】

【非特許文献1】

日経マイクロデバイス、1999年2月号、p. 48-56、図1、図4)

【非特許文献2】

日経マイクロデバイス、2000年2月号、p. 50-52、図1)

【0009】

【発明が解決しようとする課題】

しかしながら、上述したような再配線層を有するW C S Pは、既に説明したようにパッケージの外形寸法が半導体チップの外形寸法と実質的に同一であるため、実装面上に配置できる外部端子数が制約される。、

【0010】

より詳細には、現状のW C S Pは、ファンイン構造、すなわち、外部端子が半導体チップ上方に配置される構造であるため、配置できる外部端子数は最大でも160個（ピン）程度であり、このときの当該外部端子同士の最小間隔（ピッチ）は0.5mm程度である。

【0011】

近年の高集積化に伴う多ピン化の要求に対応するためには、外部端子同士の最小間隔を、例えば、0.4mm程度にまで狭めが必要となる場合がある。

【0012】

しかし、外部端子同士の間隔を0.4mm程度とすることは技術的には可能ではあるが、実装基板に実装する際に高度な実装技術を必要とするため望ましくない。

【0013】

また、300ピン程度の多ピンクラスの場合には、外部端子の間隔をどんなに狭めたとしてもこれらのピンを実装基板に配置することは困難な場合がある。

【0014】

そこで、配線基板上に半導体チップを搭載したパッケージであって、外部端子をパッケージの裏面全体に配置できる構造とした、ワイヤボンディング（以下、単にW Bと称する場合もある。）方式採用のB G A（B a l l G r i d A r

ray) 型やLGA (Land Grid Array) 型が提案されている。

#### 【0015】

しかしながら、ワイヤボンディング（以下、単にWBと称する場合もある。）方式が通常採用されるこれら構造の場合には、WB部分のインダクタンスが高いため、半導体チップ内の回路とのインピーダンス整合を図るのが困難である。また、ボンディングパッドを具える配線基板等が必要であるため、パッケージが厚くなるだけでなく製品コストの増大を招いてしまう。

#### 【0016】

一方、ワイヤレスボンディングとしてフリップチップ方式が提案されているが、半導体チップ上のパッド（電極パッド）同士の間隔が0.1mm以下となることから高価なビルトアップ基板を必要とするうえに、フリップボンディングの加工に長時間を要するため量産には適さない。

#### 【0017】

また、上述したようなMCPにおいても、WB方式を採用した構造の場合には、既に説明したのと同様に、WBに起因するインダクタンスの増大やパッケージ外形及びパッケージ厚の増大等の問題が発生する。

#### 【0018】

また、上述したようなパッケージ積層型のMCPにおいても、WB方式を採用した構造の場合には、既に説明したのと同様に、WBに起因するインダクタンスの増大やパッケージ外形及びパッケージ厚の増大等の問題があるだけでなく、当該MCPをファンイン構造とすることができないためMCPの多ピン化には不向きとされている。

#### 【0019】

そこで、この発明の目的は、今後さらにその適用範囲の拡大が切望されるWCS構造に基づいて、その実装面を拡げることにより多ピン化を実現できるとともに、従来よりも小型化（パッケージサイズの小型化及び薄型化）が図れ、且つ、MCP及びパッケージ積層型のMCP等を設計できる半導体装置を提供することにある。

#### 【0020】



## 【課題を解決するための手段】

そこで、この発明の半導体装置は、下記のような構成上の特徴を有する。

## 【0021】

すなわち、この発明の半導体装置は、第1パッドを具える第1主表面と、第1主表面と対向していて当該第1主表面よりも大面積の第2主表面と、第1主表面と第2主表面との間を接続する側壁面とを有する、第1半導体チップを具えている。そして、この第1半導体チップは、第1の領域と第1の領域を囲む第2の領域とを有する第3主表面とこの第3主表面と対向する第4主表面とを有する半導体チップ搭載部の、第1の領域上に搭載されている。そして、第1パッドに電気的に接続されていて、第1パッドから、第1主表面及び傾斜側壁面に沿って、第2の領域上へと延在している第1配線層が形成されている。そして、第2の領域上には、第1パッドと第1配線層を介して電気的に接続された外部端子が形成されている。

## 【0022】

この構成によれば、第1半導体チップ上方（すなわち、ファンイン部）はもとより第1半導体チップの上方以外の領域（すなわち、ファンアウト部）にも外部端子を配置することができ、通常のW C S Pに比べて多ピン化に対応可能な半導体装置となる。

## 【0023】

さらに、この構成では、半導体チップ上の電極パッドと外部端子とが配線層を介して電気的に接続されているため、WB方式に比べて総信号配線長の短縮等を図ることができ、よって、優れた高周波特性を有する半導体装置となる。

## 【0024】

また、この発明の半導体装置は、第1パッドを具える第1主表面、第1主表面と対向していて当該第1主表面よりも大面積を有する第2主表面、及び第1主表面と第2主表面との間を接続する側壁面であって、側壁面と第1主表面との稜部が面取りされて傾斜側壁面が形成された、第1半導体チップを具えている。そして、傾斜側壁面の、少なくとも第1主表面側の面領域を露出させるように、第1半導体チップを包围していて、第3主表面とこの第3主表面と対向する第4主表



面とを有する棒状部を具えている。そして、第1パッドに電気的に接続されていて、第1パッドから、第1主表面及び傾斜側壁面に沿って、棒状部の第3主表面上へと延在している第1配線層が形成されている。そして、第3主表面上には、第1パッドと第1配線層を介して電気的に接続された外部端子とが形成されている。

#### 【0025】

この構成によれば、上述したように多ピン化に対応可能な構造であることに加え、第1半導体チップの側壁の一部を傾斜壁として棒状部から露出させれば良い。よって、側壁のうち、露出する傾斜壁以外の壁を、例えば、垂直壁（垂直端面）とすることができます、第1半導体チップサイズの小型化を図ることができる。

#### 【0026】

よって、ウェハ1枚当たりのチップ収集数の向上を図ることができ、製品コストの上昇を抑制することができる。

#### 【0027】

##### 【発明の実施の形態】

以下、図1から図13を参照して、この発明の実施の形態につき説明する。尚、各図は、この発明に係る半導体装置の一構成例を概略的に示してある。また、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、この発明をこれら図示例に限定するものではない。また、図を分かり易くするために、断面を示すハッチング（斜線）は一部分を除き省略してある。また、以下の説明において、特定の材料及び条件等を用いることがあるが、これら材料及び条件は好適例の一つに過ぎず、従って、何らこれらに限定されない。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。また、以下の説明において、半導体チップ及び半導体チップ搭載部のそれぞれの平面形状は四角形として説明するが、それらの形状は設計に応じて任意好適な形状とすることもできる。

#### 【0028】

##### ＜第1の実施の形態＞

図1から図3を参照して、この発明の第1の実施の形態に係る半導体装置およびその製造方法につき説明する。図1(A)は、この実施の形態の半導体装置10を概略的に示す平面図である。また、図1(B)は、図1(A)とは対応しないが、半導体装置10の各構成要素の接続及び配置の様子を説明するためにそれらを変更して概略的に示した断面図である。尚、図1(A)では、ポスト部20上に形成される外部端子等の図示を省略するとともに、第1パッド14、第1配線層18及びポスト部20の一部の概要は図中Q領域を除きその図示を省略してある(以下の各実施の形態についても同様)。

#### 【0029】

図1(A)に示すように、半導体装置10が具える第1半導体チップ15の第1主表面としての主表面15a上には、アルミニウム(A1)からなる第1パッド(電極パッド)14が第1半導体チップ15の外周に沿って所定間隔毎に配置されている。尚、図1(A)に示す例では、第1半導体チップ15の平面形状は四角であるので、当該四角の各辺に沿って、第1パッド14を直線状に配列させている。そして、第1電極パッド14とそれに対応する銅(Cu)からなるポスト部20とが、銅からなる第1配線層18を介して電気的に接続されている(詳細後述)。尚、第1パッド14の配置個数及び位置はこれに限られず、設計に応じて任意好適な配置とすることができます(以下の各実施の形態についても同様)

#### 【0030】

図1(B)に示すように、半導体チップ搭載部12の第3主表面としての搭載面12a上には、この搭載面12aよりも小さな外形寸法を有する第1半導体チップ15が載置され固定されている。この構成例では、半導体チップ搭載部として基板12を用いる。そして、この第3主表面である搭載面12aのうち、第1半導体チップ15が実際に載置される、すなわち第1主表面15aと対向する第2主表面である裏面15cと対面する第1の領域部分を、載置面12bとする。

#### 【0031】

この第1半導体チップ15の4つの側壁15xは傾斜壁となっている。この傾斜壁の側壁面(傾斜側壁面)15bは、載置面12bに対して鋭角θ( $0^\circ < \theta$

<90°)で交差している。尚、この構成例では、各側壁15xは1つの傾斜している側壁面15bを有しているが、これに限定されない。すなわち、スパッタ等による配線層のパターニングが可能であれば、1つの側壁に対して複数段の段差が形成された構成であっても良い。

### 【0032】

また、第1半導体チップ15の第2主表面である裏面15c、及び第1の領域である載置面12b間は、ダイスボンド剤等の接着剤(不図示)によって固定(固着)されている。また、以下の説明において、第3主表面である搭載面12aのうち、第1半導体チップ15が載置された第1の領域12b以外の領域であつて、第1の領域12bを囲んでいる第2の領域を不載置面12cと称する。また、基板12としては、片面基板、両面基板及び多層基板のいずれかとして、例えば、シリコン(Si)基板、セラミック基板及び金属ベース基板等のいずれかの無機系材料基板、或いは、ガラスエポキシ基板及びポリイミド基板等のいずれかの有機系材料基板を用いることができる。また、この構成例では、半導体チップ搭載部として基板12を例に挙げて説明したがこれに限らず、半導体チップ搭載部としての機能を果たすものであれば良い。また、搭載面12aと側壁面15bとの交差角を鋭角θとし、この鋭角θを45°から60°の範囲内の値となるように設けることにより、ウェハ1枚当たりのチップ収集数の向上はもとより、チップ毎に個片化する際のブレード等のブレによるチップ損傷を回避するマージンを確保でき望ましい。

### 【0033】

また、第1半導体チップ15の主表面15a、側壁面15b及び不載置面12cには、第1半導体チップ15の主表面15a上の第1パッド14の端部、例えば、頂面を露出させるようにして、例えば、パッシベーション膜及び保護膜が順次に設けられた絶縁膜16が設けられている。ここで、パッシベーション膜は、例えば、シリコン酸化膜(SiO<sub>2</sub>)で形成されている。また、保護膜は、例えば、ポリイミド樹脂のように低硬度の膜材で形成されており、従って、この保護膜によって製造工程時の第1半導体チップ15に対する衝撃や封止層22と半導体チップ15との間の応力による剥離を防止することができる。



## 【0034】

また、第1パッド14は、実装基板に接続するための外部端子である半田ボール（バンプ）24と専用の第1配線層18を介して電気的に個別に接続される。

## 【0035】

そこで、この構成例における第1配線層18は、半田ボール24を、第1パッド14の位置に依存せず実質水平面上の所望位置、すなわち、第1半導体チップ15より上側の、シフトされた位置に配置可能にする。そのため、この構成例では、第1配線層18は、不載置面cと対向する位置に半田ボール24を再配置可能な再配線層として機能している（以下において、第1配線層18を第1再配線層と称する場合もある）。

## 【0036】

この構成例における第1配線層18は、その一端は第1パッド14に接続されており、かつこの第1パッド14から第1半導体チップ15の傾斜壁（側壁）15xの側壁面15b及び不載置面12c上を沿うように、第1半導体チップ15の主表面15aと不載置面12cとの間の高低差（段差）に応じてその切断面が屈するように延在している。そして、第1配線層18は、第1パッド14の接続先であるとして割り当てられている半田ボール24とポスト部20を介して電気的に接続されている。

## 【0037】

また、第1半導体チップ15の主表面15a、側壁面15b及び不載置面12cの上側には、絶縁膜16及び第1配線層18等を覆うように、かつポスト部20の端部、例えば、頂面を露出させるように、エポキシ樹脂等による封止層22が形成されている。この封止層22の上面を平坦面とする。そして、このポスト部20に、プリント基板（不図示）等への接続用バンプとなる半田ボール24が形成されている。

## 【0038】

また、この構成例での第1半導体チップ15からの出力信号は、第1パッド14から第1配線層18とポスト部20とを介して半田ボール24へ至る経路に伝送される。また、半田ボール24からの入力信号は、上述とは逆の経路を経て伝

送される。

## 【0039】

続いて、図2及び図3を参照して、この半導体装置10の製造方法につき以下説明する。

## 【0040】

先ず、側壁面形成工程として、第1パッド14が形成された第1主表面15aと、該第1主表面15aと対向しかつ第1主表面よりも大面積を有する第2主表面15cとを具える第1半導体チップ15に、第1主表面15a及び第2主表面15cを接続する側壁面15bを形成して、メサ型の第1半導体チップ15を得る。

## 【0041】

そのため、先ず、個片化前の第1半導体チップ15'（チップサイズを、例えば、縦が約7mm×約7mmとする。）を複数個具える半導体ウェハ30を用意する。図2（A）に示すように、この個片化前の第1半導体チップ15'には、その主表面上に第1パッド14が所定間隔（ピッチ）、例えば、0.035mm～0.18mm毎に形成されている。このウェハ30の裏面側を、粘着剤（不図示）が塗られたウェハ固定用テープ32で接着して固定する。尚、図中には便宜上約2個の個片化前の第1半導体チップ15'が図示されているが、これに限定されるものではない。また、半導体ウェハ30のうち隣接する個片化前の第1半導体チップ15'間には、0.08mm程度のスクライブライン（不図示）が形成されている。

## 【0042】

続いて、図2（B）に示すように、高速回転するブレード（切削工具）19等によって、スクライブライン（不図示）に沿い個々の第1半導体チップ15毎に個片化、すなわち、分離する。このとき使用するブレード19の刃先は、先端の断面形状がV字型となるような角度（頂角） $\phi$ （例えば、 $60^\circ < \theta < 90^\circ$ 程度）を有する。このとき、V字型に切削された溝36の形成に伴い、前記第1半導体チップ15'の側壁15xに鋭角 $\theta$ （ $0^\circ < \theta < 90^\circ$ ）をなす傾斜した側壁面15bが形成される。その後、UV照射等により粘着剤の粘着性を低下させ

、個々の第1半導体チップ15をウェハ固定用テープ32から分離する。

#### 【0043】

次に、搭載工程として、側壁面15bが形成された第1半導体チップ15を、第1の領域12bとこの第1の領域を囲む第2の領域12cとを有する第3主表面12aと、この第3主表面12aと対向する第4主表面12iとを有する半導体チップ搭載部12の、第1の領域12b上に搭載する。

#### 【0044】

具体的には、図2(C)に示すように、個片化した第1半導体チップ15の各々を、基板12の第3主表面である搭載面12aのうち第1の領域である載置面12bに所定間隔毎に載置する。このとき、第1半導体チップ15の裏面15c及び載置面12b間を、例えば、ダイスボンド剤(不図示)等によって固定する。

#### 【0045】

次に、第1配線層形成工程として、第1パッド14に電気的に接続されるとともに、第1パッド14から、第1主表面15a及び側壁面15bに沿って、第1半導体チップ15の搭載面12aのうち、第1半導体チップ15の周辺の第2の領域である不載置面12cの上側へと延在する第1配線層(第1再配線層)18を形成する。

#### 【0046】

そこで、図3(A)に示すように、先ず、第1半導体チップ15の主表面15a、側壁面15b及び不載置面12cに亘って、第1パッド14の頂面を露出させるようにシリコン酸化膜及びポリイミド膜が順次に積層された積層膜からなる絶縁膜16を形成する。

#### 【0047】

絶縁膜16の下地面を構成するこの第1半導体チップ15の主表面15aと不載置面12cとの間には高低差(段差)があるため、絶縁膜16はこの段差に対応して形成される。

#### 【0048】

続いて、銅からなる第1配線層18を、第1パッド14にその一端が接続され

るよう、かつ絶縁膜16上を傾斜壁（側壁）15xの側壁面15bから不載置面12cに亘って、上述した主表面15aと不載置面12cとの間の高低差に応じてその切断面が屈曲して延出されるように、ホトリソ及びスパッタ等によってパターニング形成する。尚、第1配線層18はパターニング形成されているので、第1配線パターンとも称する。

## 【0049】

このとき、第1配線層18のうち、主表面15aと側壁面15bとの境界上、及び側壁面15bと不載置面12cとの境界上に位置する部分（図中、破線zで囲まれた部分）の第1配線層18の延在方向と実質直交する方向（図示の紙面と直交する方向）に有する幅を、第1配線層の他（残り）の部分の当該幅よりも広くなるように形成するのが良い。

## 【0050】

その結果、衝撃や応力の集中に弱いこれら境界上の第1配線層18を補強することができる。

## 【0051】

次に、外部端子形成工程として、不載置面12cの上側に、第1パッド14と第1配線層18を介して電気的に接続されるように外部端子を形成する。

## 【0052】

図3（B）に示すように、先ず、不載置面12c上の各絶縁膜16の表面に延在している第1配線層18上に、対応する銅からなるポスト部20をホトリソ及びめっき等によって形成する。また、ポスト部20の形成には、銅のほかに金（Au）等を用いても良い。

## 【0053】

また、銅ポスト部20形成後、当該ポスト部20の側面上に熱酸化等により薄い酸化膜を形成しても良い。この場合には、ポスト部20及び封止層22間の密着性がさらに向上するため、ポスト部20と後述する封止層22との界面からの水分の侵入をさらに抑制することができる。

## 【0054】

続いて、ポスト部20が形成された基板12の搭載面12a側に、ポスト部2

0が隠れる程度まで有機樹脂（エポキシ樹脂等）からなる封止材を用いてトランジスター成形法で封止層22を形成する。その後、グラインダー（研磨工具）等によって封止層22及びポスト部20に対する研磨を行い、全てのポスト部20の頂面を露出させて外部端子を搭載するための搭載面を形成する。尚、ポスト部20を形成する際に、当該ポスト部20の各々を鉛直方向に同一高さに形成可能な場合には、フィルム成形法等によって外部端子用の搭載面形成のための研磨工程を省略することも可能である。

## 【0055】

然る後、図3（C）に示すように、この露出する外部端子用の搭載面上に、プリント基板（不図示）への接続用のバンプである外部端子としての半田ボール24をリフロー形成する。尚、必要に応じて、外部端子用搭載面と半田ボール24との間にバリアメタル層等を形成しても良い。この構成例では、外部端子である半田ボール24同士の最小間隔（ピッチ）を、例えば、0.3mm以上に拡張することができる。

## 【0056】

その後、通常のスクリービング用の、高速回転ブレード（切削工具）等（不図示）によって、各半導体装置（パッケージ）10毎に切り出す（図1（B）参照）。

## 【0057】

上述した説明から明らかなように、この実施の形態の半導体装置とその製造方法によれば、第1半導体チップを半導体チップ搭載部に搭載したことにより、第1半導体チップ上方（すなわち、ファンイン部）はもとより、第1半導体チップの主表面上から側壁面及び不載置面上へと延在する第1配線層によって、第1半導体チップの上方以外の領域（すなわち、ファンアウト部）にも外部端子が配置された構造（ファンアウト構造）を実現できる。

## 【0058】

よって、通常のW C S Pよりも、多ピン化に対応できる半導体装置を得ることができる。

## 【0059】

すなわち、従来の半導体装置によれば、通常のW C S Pのチップサイズを多ピン化のためにのみ不所望に増大させてしまい、ウェハ1枚当たりのチップ収集数を低減させてしまっていたが、この実施の形態によれば、この従来の場合とは異なり、外部端子の配置位置を拡張可能とする拡張部として機能する半導体チップ搭載部によって、半導体装置をファンアウト構造とすることができます。

## 【0060】

その結果、多ピン化に対応可能な半導体装置とすることができます、例えば、チップサイズを約7mm×約7mmとし、半導体チップ搭載部の外形寸法を約10mm×約10mmとした場合には、外部端子ピッチを、例えば、0.5mmとして312ピン配置することができます。

## 【0061】

また、この実施の形態では、第1電極パッドと半田ボールとが第1再配線層を介して電気的に接続されているため、WB方式を採用する場合に比べて総信号配線長の短縮を図ることができます。

## 【0062】

その結果、例えば、高周波信号を伝送する場合には、WB方式に比べて当該信号の減衰を効果的に抑制でき、当該信号線の特性インピーダンスと半導体チップのインピーダンスとの整合が容易に図れるため、従来よりも優れた高周波特性を有する半導体装置となる。

## 【0063】

また、WB方式のB G A等のように予めスルーホール等の加工が施された高価な基板を用いる必要がないため、半導体装置の製造コストの低減も図ることができます。

## 【0064】

また、基板12として円盤状のシリコンウェハを用いれば、既存のW C S P装置の製造プロセスを適用できる。よって、基板保持用の新たな治工具等が不要なため、コストダウンを図ることができます。

## 【0065】

<第2の実施の形態>

図4 (A) 及び (B) を参照して、この発明の第2の実施の形態に係る半導体装置11につき説明する。

#### 【0066】

この第2の実施の形態と第1の実施の形態との主な相違点は、以下の通りである。先ず、半導体チップ搭載部である基板12に、当該基板12の表裏、すなわち第3主表面12aから第4主表面12iを導通する導体部39を有するスルーホール38が貫通部として形成されていて、かつ当該導体部39が第1配線層18と電気的に接続されている点、及び、基板12には、第1半導体チップ15と対向する領域部分を横断する配線部27を具え、当該配線部27が第1配線層18と電気的に接続されている点である。また、第1の実施の形態で既に説明した構成要素と同一の構成要素には同一の番号を付して示し、その具体的な説明を省略する場合もある（以下、各実施の形態についても同様）。また、この構成例では、基板12として、基板12を構成する基材の両面に導体（ここでは、銅（Cu）箔）によって配線がパターニングされた両面基板（ガラスエポキシ両面基板等）を用いた場合を例に挙げて説明する。

#### 【0067】

図4 (B) に示すように、基板12にはスルーホール38が形成されており、このスルーホール38の内壁全面に当該基板の表裏間を導通可能とする導体部（銅めっき層）39が形成されている。このスルーホール38の導体部39の両端には、第1ランド42及び第3パッド40がそれぞれ形成されている。これら第1ランド42及び第3パッド40は、銅箔を用いて基板12表面に形成されている。

#### 【0068】

また、スルーホール38の導体部39は、絶縁層16に覆われずに露出された第1ランド42を介して第1配線層18と電気的に接続されている。また、ここでの第3パッド40は、例えば、半導体装置をパッケージ積層型半導体装置として形成する際の半導体装置搭載用パッド又はコイルやコンデンサ等の受動素子搭載用パッドとして用いられる。

#### 【0069】

(2)

また、半導体装置11によってパッケージ積層型半導体装置を構成する場合には、半導体装置11の半田ボール24と、例えば、同様の構造を有する半導体装置11の第3パッド40とを接合して、第1半導体チップ15の厚み方向に複数積層させれば良い。

## 【0070】

さらに、この実施の形態では、基板12には当該基板12の厚み方向と実質直交する方向に延在する配線部27が形成されている。

## 【0071】

例えば、図4(A)に示すように、基板12中には、当該基板12の厚み方向と実質直交するとともに、第1半導体チップ15と対向する領域部分を横断するような配置関係で、銅箔による配線部27(但し、図4(B)には不図示)がパターニング形成されている。そして、この配線部27は当該配線部27の両端に位置する第2パッド43(但し、図4(B)には一方のみが図示されている。)を介して第1配線層18と電気的に接続された構成である。

## 【0072】

第1の実施の形態の構成では、第1パッド14と電気的に接続される半田ボール24は、当該第1パッド14にその一端が接続され、かつ半導体チップ15の主表面15a及び側壁面15bに沿って、不載置面12cの上側へと延在している第1配線層18の上方に配置可能な半田ボール24のみであった(図1(A)参照)。

## 【0073】

そこで、図4(A)に示すように、配線部27がパターニング形成された基板12を半導体チップ搭載部として用いることにより、ある1つの第1パッド14に対して、複数の半田ボールのうちいずれか1つの半田ボールを選択した場合に、この選択された半田ボールへ、第1配線層18、配線部27及び他の第1配線層18を順次に介して接続することができるので、配線の引き回しの自由度を一層向上させることができる。

## 【0074】

また、この構成例での第1半導体チップ15からの出力信号は、第1パッド1

4から第1配線層18とポスト部20とを介して半田ボール24へ至る経路、第1パッド14から第1配線層18と第2パッド43と配線部27と第2パッド43と第1再配線層18とポスト部20とを介して半田ボール24へ至る経路、及び、第1パッド14から第1配線層18と第1ランド42とスルーホール38とを介して第3パッド40へ至る経路のうちの少なくとも1つの経路を経て伝送される。また、半田ボール24や第3パッド40からの入力信号は、上述とは逆の経路を経て伝送される。尚、伝送経路は上述した経路に限られず、目的や設計に応じて種々の配線経路として形成することができる。

## 【0075】

また、この実施の形態の半導体装置11の製造方法は、第1の実施の形態で説明した製造工程と同様な工程を有しているが、次のような工程で相違する。すなわち、第1半導体チップ15を基板12に搭載する工程において、この基板12に、所定位置にスルーホール38と露出された第1ランド42及び第2パッド43とを予め形成しておく。そして、この基板12上に、不図示のダイスボンド剤等を介して第1半導体チップ15を載置して固定する。

## 【0076】

また、第1の実施の形態で説明した第1配線層を形成する工程と同様に、先ず、第1パッド14、第1ランド42及び第2パッド43の例えば頂面を露出させるように絶縁膜16を形成する。この絶縁膜16の形成後に、第1パッド14と、これと接続関係が指定されている第1ランド42又は第2パッド43とが接続されるように第1配線層18を形成する。

## 【0077】

その後、第1の実施の形態と同様に、外部端子形成工程を行い、半導体装置11を得る。尚、基板12（ここでは、ガラスエポキシ両面基板）が具えるスルーホール38は、例えば、基板の表層付近に銅箔によるパターニングを形成する前に基板にドリル等で貫通孔を形成し、この貫通孔の内壁にめっき法等によって銅めっき層（導体部）39を形成する。

## 【0078】

上述した説明から明らかのように、この実施の形態では、第1の実施の形態と同

様の効果を得ることができる。

## 【0079】

さらに、この実施の形態では、半導体チップ搭載部である基板にパターニングされた配線部によって、第1の実施の形態よりも、第1パッドを所望の外部端子と電気的に接続させることができ、よって、配線の引き回しの自由度を向上させることができる。

## 【0080】

さらに、この半導体装置11を積層させてパッケージ積層型半導体装置とした場合には、従来のWB方式のパッケージ積層型半導体装置では困難であったファンイン構造が可能となるため、パッケージサイズの小型化及び薄膜化を図ることができる。

## 【0081】

## &lt;第3の実施の形態&gt;

図5及び図6を参照して、この発明の第3の実施の形態に係る半導体装置50について説明する。

## 【0082】

この実施の形態では、半導体チップ搭載部を回路素子を具える第2半導体チップ44とし、かつ当該第2半導体チップ44が第1配線層18と電気的に接続されている点が第1の実施の形態との主な相違点である。

## 【0083】

図5(A)に示すように、半導体チップ搭載部としての第2半導体チップ44の平面形状を四角形とする。この第2半導体チップ44の第3主表面である搭載面44a上には、アルミニウム(A1)からなる第4パッド45が第2半導体チップ44の外周に沿って所定間隔毎に配置されており、この第4パッド45が第1配線層18と電気的に接続された構成である。尚、第4パッド45の配置個数と位置はこれに限定されない。

## 【0084】

また、この構成例での第1半導体チップ15からの出力信号は、第1パッド14から第1配線層18とポスト部20とを介して半田ボール24へ至る経路、及

び、第1パッド14から第1配線層18と第4パッド45とを介して第2半導体チップ44へ至る経路の双方またはいずれか一方の経路を経て伝送される。また、半田ボール24や第2半導体チップ44からの入力信号は、上述とは逆の経路を経て伝送される。尚、伝送経路は上述に限られず、目的や設計に応じて種々の配線経路として形成することができる。

## 【0085】

このように、この構成例では、半導体チップ搭載部を第2半導体チップ44としてあることから、半導体装置50は、当該第2半導体チップ44の載置面44b上に第1半導体チップ15が積層されたMCP型の半導体装置となり、よって、実装度を高めることができる。

## 【0086】

また、この実施の形態の半導体装置50の製造方法は、第1の実施の形態での搭載工程と同様に、第4パッド45が所定間隔、例えば、0.035mm～0.18mm毎に形成された半導体チップ搭載部である第2半導体チップ44上に、ダイスボンド剤（不図示）を介して第1半導体チップ15を載置して固定する（図6（A））。また、第1の実施の形態で説明した第1配線層形成工程と同様に、第1パッド14の頂面と、第1配線層18に接続される第4パッド45の頂面とを露出させるように、絶縁膜16を形成する。絶縁膜16を形成後、側壁面15bから不載置面44cに亘って、かつ第4パッド45に接続されるように第1配線層18を形成する（図6（B））。尚、この構成例では、第4パッド45と第1配線層18とは、1対1の関係で接続が指定されている。

## 【0087】

その後、第1の実施の形態と同様に外部端子形成工程を行って（図6（C））、半導体装置50を得る（図5（B））。

## 【0088】

上述した説明から明らかのように、この実施の形態では、第1の実施の形態と同様の効果を得ることができる。

## 【0089】

さらに、この実施の形態では、従来のWB方式のMCP等のようにボンディング

グポスト等を具えた基板等が不要であるうえに、半導体装置の製造の際にワイヤのループの高さ分を考慮しなくても良い。

## 【0090】

よって、この実施の形態の構成によれば、第2半導体チップ44の外形寸法が実質外形寸法とされたMCP構造の半導体装置とすることができ、従来のWB方式のMCP等に比べてパッケージサイズの小型化及び薄膜化が実現された半導体装置となる。

## 【0091】

## &lt;第4の実施の形態&gt;

図7を参照して、この発明の第4の実施の形態に係る半導体装置60につき説明する。

## 【0092】

この実施の形態では、第1半導体チップ15と第2半導体チップ44との間を通り抜ける第2配線層49を具え、当該第2配線層49を第1配線層18と電気的に接続させた構成としている点が第3の実施の形態との主な相違点である。

## 【0093】

より具体的には、第2半導体チップ44の上方には、当該第2半導体チップ44の厚み方向と実質的に直交する方向に、第1半導体チップ15の下側を、この第1半導体チップ15を横断するように配置した第2配線層49（以下において、第2配線層を第2再配線層と称する場合もある）を形成している。そして、この第2配線層49は、第2半導体チップ44の第3主表面である搭載面44aに設けられた絶縁膜21上を延在していて、当該第2配線層49の一端は第4パッド45を介して第2半導体チップ44と、及び、その他端は第5パッド46を介して第1配線層18と電気的に接続されている。

## 【0094】

第3の実施の形態の構成では、第1パッド14と電気的に接続される半田ボール24は、当該第1パッド14にその一端が接続され、かつ半導体チップ15の主表面15a及び側壁面15bに沿って、不載置面44cの上側へと延在している第1配線層18の上方に配置可能な半田ボール24のみであった（図5（A）



参照)。

#### 【0095】

そこで、図7(A)及び(B)に示すように、第2配線層49を設けたことにより、第3の実施の形態に比べて、ある1つの第1パッド14に対して、複数の半田ボールのうちいずれか1つの半田ボールを選択した場合に、この選択された半田ボールへ、第1配線層18、第2配線層49及び他の第1配線層18を順次に介して接続することができるので、配線の引き回しの自由度を向上させることができる。

#### 【0096】

また、この実施の形態の半導体装置60の製造方法は、第3の実施の形態で説明した搭載工程において、先ず、所定位置に設けられたアルミニウム(A1)からなる第4パッド45の頂面が露出するように絶縁膜21を形成する。続いて、その一端が第4パッド45に接続され且つ他端が後工程において所定の第1配線層18と接続されるような位置に亘って、銅からなる第2配線層49をパターニング形成する。その後、第3の実施の形態の搭載工程と同様にして、第2半導体チップ44の載置面44b上の領域に、不図示のダイスボンド剤を介して第1半導体チップ15を載置して固定する。また、第3の実施の形態で説明した第1配線層形成工程と同様にして、第2配線層49の第1配線層18と接続される第5パッド46の頂面を露出させるように絶縁膜16を形成した後、第5パッド46に接続される第1配線層18を形成する。その後、第1の実施の形態と同様に外部端子形成工程を行い、半導体装置60を得る。

#### 【0097】

上述した説明から明らかのように、この実施の形態では、第3の実施の形態と同様の効果を得ることができる。

#### 【0098】

さらに、この実施の形態では、第2配線層49が設けられているので、第3の実施の形態よりも、第1パッドを所望の外部端子と電気的に接続させることができ、よって、配線の引き回しの自由度を向上させることができる。

#### 【0099】

これにより、機能ブロックの設計位置やパッド配列の都合上、MCP化が困難な回路構成を有する既存の半導体チップをそのまま使用することができるので、新たな半導体チップを作製する必要がない。

## 【0100】

## &lt;第5の実施の形態&gt;

図8を参照して、この発明の第5の実施の形態に係る半導体装置70につき説明する。

## 【0101】

この実施の形態では、半導体チップ搭載部である第2半導体チップ44には、当該第2半導体チップ44の表裏を導通するための導体部54を有する貫通部、例えば、スルーホール52が形成されていて、当該導体部54が第1配線層18と電気的に接続されている点が第3の実施の形態との主な相違点である。尚、この構成例は、第4の実施の形態に適用させても好適である。

## 【0102】

図8(A)及び図8(B)に示すように、半導体チップ搭載部である第2半導体チップ44には、スルーホール52が設けられている。このスルーホール52の内壁面には、シリコン酸化膜等の絶縁膜が設けられ、かつこの内壁絶縁膜上に導体部(銅やニッケル(Ni)等)54が形成されている。この導体部54によって、第2半導体チップ44の表裏間を導通可能としている。また、このスルーホール52の導体部54の両端には、これと電気的に接続されるように、第2半導体チップ上に形成された第2ランド53及び第6パッド56が各々形成されている。

## 【0103】

また、第2ランド53の頂面は、絶縁層16に覆われずに露出されている。従って、スルーホール52の導体部54は、第2ランド53を介して第1配線層18と電気的に接続されている。また、ここでの第6パッド56は、例えば、半導体装置をパッケージ積層型半導体装置として形成する際の半導体装置搭載用パッド又はコイルやコンデンサ等の受動素子搭載用パッドとなる。

## 【0104】

また、半導体装置をパッケージ積層型半導体装置とする場合には、半導体装置70の半田ボール24と、例えば、同様の構造を有する半導体装置70の第6パッド56とを接合して、第1半導体チップ15の厚み方向に複数積層させれば良い。

## 【0105】

また、この構成例での第1半導体チップ15からの出力信号は、第1パッド14から第1配線層18とポスト部20とを介して半田ボール24へ至る経路、第1パッド14から第1配線層18と第4パッド45とを介して第2半導体チップ44へ至る経路、及び、第1パッド14から第1配線層18と第2ランド53とスルーホール52とを介して第6パッド56へ至る経路のうちの少なくとも1つの経路を経て伝送される。また、半田ボール24、第2半導体チップ44及び第6パッド56からの入力信号は、上述とは逆の経路を経て伝送される。尚、伝送経路は上述した経路に限られず、目的や設計に応じて種々の配線経路として形成することができる。

## 【0106】

また、この実施の形態の半導体装置70の製造方法は、第3の実施の形態で説明した搭載工程と同様に、所定位置にスルーホール52と露出された第2ランド53及び第4パッド45とが予め形成された第2半導体チップ44の載置面44b上に、不図示のダイスボンド剤を介して第1半導体チップ15を載置して固定する。

## 【0107】

また、第3の実施の形態で説明した第1配線層形成工程と同様に、先ず、第2ランド53表面を露出させるように絶縁膜16を形成した後、第2ランド53の各々とそれぞれ接続関係が指定された第1配線層18を形成する。

## 【0108】

その後、第1の実施の形態と同様に外部端子形成工程を行い、半導体装置70を得る。尚、第2半導体チップ44が具えるスルーホールは、例えば、スルーホール形成予定領域に対してドライエッティングを行い貫通孔を形成し、この貫通孔をシリコン酸化膜(SiO<sub>2</sub>)やシリコン窒化膜(SiN)で内壁絶縁した後に

銅等を充填して形成する。

## 【0109】

上述した説明から明らかように、この実施の形態では、第4の実施の形態と同様の効果を得ることができる。

## 【0110】

さらに、この実施の形態では、半導体装置70を積層させてパッケージ積層型半導体装置とした場合に、第2の実施の形態よりも単位高さ当たりの半導体チップを積層数を多くできるのでより一層の高密度実装を実現できる。

## 【0111】

## &lt;第6の実施の形態&gt;

図9から図11を参照して、この発明の第6の実施の形態に係る半導体装置80につき説明する。

## 【0112】

図9(A)に示すように、半導体装置80が具える第1半導体チップ82の主表面上には、アルミニウムからなる第1パッド14が第1半導体チップ82の外周に沿って所定間隔毎に配置されている。

## 【0113】

図9(B)に示すように、支持部である基板83のうち基板の搭載面83e上に、第1半導体チップ82が載置され固定されている。この搭載面83eのうち、実際に第1半導体チップ82が載置されている領域を載置面83fとし、それ以外の領域を不載置面83gとする。第1半導体チップ82は、基板83側の第2主表面である裏面82dと、裏面82dと反対側の第1主表面である主表面82aと、この主表面82aの周縁に接続する傾斜側壁面82bと、この傾斜側壁面82bと連続形成されている基板の搭載面83eに対して垂直な垂直壁面82cとを有している。この傾斜側壁面82bは、第1半導体チップの主表面82aと直交する壁面との稜部を斜めに面取りして形成されており、その残部が垂直壁面82cである。

## 【0114】

また、第1半導体チップ82の裏面82d及び基板の載置面83f間は、ダイ

スボンド剤等（不図示）によって固定（固着）されている。また、この構成例の支持部としての基板83には、既に説明した種々の基板を使用可能であるが、支持部としての機能を果たすものであれば良い。

#### 【0115】

さらに、基板の不載置面83gには、第1半導体チップ82の側壁を包囲、より詳細には、傾斜側壁面82bの少なくとも主表面82a側の面領域を露出させるように、例えば、第1半導体チップ82の側壁82xのうち傾斜側壁面82bに至る高さで当該第1半導体チップ82を取り囲むように、感光性樹脂（感光性ポリイミド等）からなる枠状部86が設けられている。

#### 【0116】

また、第1半導体チップ82の主表面82a、傾斜側壁面82b及び不載置面83gの上側には、第1半導体チップ82の主表面上の第1パッド14の頂面を露出させるように、絶縁膜16が設けられている。また、第1パッド14は、実装基板に接続するための外部端子を構成している半田ボール24と、専用の第1配線層（第1再配線層或いは第1配線パターンとも称する。）18を介して、電気的に個別に接続されている。

#### 【0117】

より詳細には、この構成例における第1配線層18は、その一端は第1パッド14に接続されるとともに、第1半導体チップ82の傾斜側壁面82b上及び枠状部86の第3主表面86j上を沿うように、主表面82aと枠状部86の第3主表面86jとの間の高低差に応じてその切断面が屈曲するように延在している。この第1配線層18の延在部分は、当該第1パッド14と電気的な接続が指定されている半田ボール24と、ポスト部20を介して、電気的に接続されている。

#### 【0118】

また、第1半導体チップ82及び枠状部86の上側には、絶縁膜16及び第1配線層18等を覆うように、かつポスト部20の頂面を露出させるように、エポキシ樹脂等による封止層22が形成されている。この封止層22の上面は平坦面とする。そして、このポスト部20に、プリント基板（不図示）等への接続用バ

ンプとなる半田ボール24が形成されている。

#### 【0119】

また、この構成例での第1半導体チップ82からの出力信号は、各第1パッド14から第1配線層18とポスト部20とを介して半田ボール24へ至る経路に伝送される。また、半田ボール24からの入力信号は、上述とは逆の経路を経て伝送される。

#### 【0120】

続いて、図10及び図11を参照して、この半導体装置80の製造方法につき以下説明する。

#### 【0121】

先ず、傾斜側壁面形成工程として、第1パッド14が形成された第1主表面82a、第1主表面82aと対向しかつ第1主表面よりも大面積を有する第2主表面82d、及び第1及び第2主表面間(82a、82d)を接続している側壁面82cを有する第1半導体チップの第1主表面82aと側壁面82cとの稜部の面取りを行って、傾斜側壁面82bを形成して、メサ型の第1半導体チップ82を得る。

#### 【0122】

そのため、先ず、個片化前の第1半導体チップ82'を複数個具える半導体ウェハ81を用意する。図10(A)に示すように、この個片化前の第1半導体チップ82'には、その主表面上に第1パッド14が所定間隔、例えば、0.035mm~0.18mm毎に形成されている。このウェハ81の裏面側を、粘着剤(不図示)が塗られたウェハ固定用テープ32で接着して固定する。尚、図中には便宜上約2個の個片化前の第1半導体チップ82'が図示されているが、これに限定されるものではない。また、半導体ウェハ81のうち隣接する個片化前の前第1半導体チップ82'間には、0.08mm程度のスクライブライン(不図示)が形成されている。

#### 【0123】

続いて、図10(B)に示すように、高速回転するブレード(切削工具)等によって、各個片化前の第1半導体チップ82'の稜部の面取りを行う。このとき

使用するブレードの刃先は、先端の断面形状がV字型となるような角度（頂角） $\phi$ （例えば、 $60^\circ < \theta < 90^\circ$  程度）を有する。これにより、V字型に切削された溝89の形成によって、傾斜側壁面82bが形成される。そして、この傾斜側壁面82bの形成後、スクライビング用の、通常のブレード79等によって個々の第1半導体チップ82毎に個片化、すなわち、分離する。

#### 【0124】

次に、枠状部形成工程として、支持部83上に、第3主表面86jと、第3主表面と対向する第4主表面86kとを有するとともに、傾斜側壁面82bの少なくとも第1半導体チップの第1主表面82a側の面領域を露出させて配置させるための開口部を有する枠状部86を、第4主表面86kと支持部83とが対向配置されるように形成する。

#### 【0125】

支持部である基板83上に枠状部86を形成するが、このとき、後述するように後工程においてその枠の内側すなわち開口部に、第1半導体チップ82を、その側壁を包囲するとともに傾斜側壁面82bの一部を少なくとも露出させるよう、収容させる。

#### 【0126】

そこで、図10(C)に示すように、共通の基板83上に枠状部86を、感光性樹脂材をスピンドル塗布した後、例えば、ホトリソ及びキュアリング処理によって形成する。尚、枠状部86の形成には、この他にも高精度印刷方式等を適用することができる。基板の搭載面83eのうち、この枠状部86で囲まれた基板83の露出表面が載置面83fである。

#### 【0127】

次に、搭載工程として、て第1半導体チップ82を開口部内に配置することにより、支持部83上に搭載する。そのため、この第1半導体チップ82は、この枠状部86に、実質的に隙間なく嵌め込まれるべき大きさとなっている。

#### 【0128】

図11(A)に示すように、個片化した第1半導体チップ82の各々を、共通基板83上の所定位置、ここでは載置面83fに載置する。この載置面83fに

第1半導体チップ82を載置すると、第1半導体チップ82の側壁が枠状部86によって包囲される。このとき、第1半導体チップ82の裏面82dと載置面83fとの間を、例えば、ダイスボンド剤等（不図示）によって固定する。尚、この構成例では、枠状部86を構成する感光性樹脂を完全に硬化させる前（例えば、予備硬化時等）に第1半導体チップ82を載置面83f上に載置することにより、第1半導体チップ82及び感光性樹脂86間の密着性をさらに向上させることができる。その結果、第1半導体チップ82及び感光性樹脂86間の隙間（ボイド）の発生を抑制でき、耐湿性に優れた界面を形成できる。

#### 【0129】

次に、第1配線層形成工程として、第1パッド14に電気的に接続されるとともに、該第1パッド14から、第1主表面82a及び傾斜側壁面82bに沿って、枠状部86の第3主表面である主表面86jの上側へと延在する第1配線層18を形成する。

#### 【0130】

そこで、図11（B）に示すように、先ず、第1半導体チップ82の主表面82a及び傾斜側壁面82bと枠状部86の主表面86jとに亘って、第1パッド14の例えれば頂面を露出させるように、シリコン酸化膜及びポリイミド膜が順次に積層された積層膜からなる絶縁膜16を形成する。

#### 【0131】

絶縁膜16の下地面を構成する第1半導体チップ82の主表面82aと枠状部86の表面との間には高低差（段差）があるため、絶縁膜はこの段差に対応して形成される。

#### 【0132】

続いて、銅からなる第1配線層18を、第1パッド14にその一端が接続されるように、かつ絶縁膜16上を傾斜側壁面82bから枠状部86の主表面86j上に亘って、上述した主表面82aと枠状部86の第3主表面86jとの間の高低差に応じてその切断面が屈曲して延出されるように、ホトリソ及びスパッタ等によって形成する。

#### 【0133】

このとき、第1配線層18のうち、半導体チップの主表面82aと側壁面82bとの境界上、及び側壁面82bと感光性樹脂の主表面86jとの境界上に位置する部分（図中、破線zで囲まれた部分）の、第1配線層18の延在方向と実質直交する方向（図示の紙面と直交する方向）に有する幅を、第1配線層の他（残り）の部分の当該幅よりも広くなるように形成するのが良い。

## 【0134】

その結果、衝撃や応力の集中に弱いこれら境界上の第1配線層18を補強することができる。

## 【0135】

次に、外部端子形成工程として、第1配線層18の、棒状部86への延在部分の上側に、第1パッド14と第1配線層18を介して電気的に接続されるように外部端子を形成する。

## 【0136】

先ず、棒状部86上の各絶縁膜16の表面に延在している第1配線層18上に、対応する銅からなるポスト部20をホトリソ及びめっき等によって形成する。

## 【0137】

続いて、ポスト部20が形成された基板83の搭載面側に、ポスト部20が隠れる程度まで有機樹脂（エポキシ樹脂等）からなる封止材を用いてトランシスファー成形法で封止層22を形成する。その後、グラインダー等によって封止層22及びポスト部20に対する研磨を行い、全てのポスト部20の頂面を露出させて外部端子の搭載面を形成する。

## 【0138】

然る後、この露出する外部端子用の搭載面上に、プリント基板（不図示）への接続用のバンプである外部端子としての半田ボール24をリフロー形成する。この構成例では、外部端子である半田ボール24同士の最小間隔を、例えば、0.3mm以上とすることができる（図11（C））。

## 【0139】

その後、高速に回転している、面取り作用のない、通常のブレード等によって、各半導体装置（パッケージ）80毎に切り出す（図9（B）参照）。

## 【0140】

上述した説明から明らかのように、この実施の形態では、第1の実施の形態と同様の効果を得ることができる。

## 【0141】

さらに、この実施の形態では、上述したような棒状部を設けたことより、第1半導体チップの側壁のうち当該棒状部から露出する部分を傾斜側壁面とすれば良い。そのため、この実施の形態では、第1半導体チップのうち傾斜側壁面以外の壁面を垂直壁（垂直端面）とすることができる。

## 【0142】

よって、第1の実施の形態のように、チップの裏面に至るダイシングにより傾斜した側壁面を形成する場合に比べてダイシングの深さを浅くできるので、ウェハのダイシングラインの幅を縮めることができる。

## 【0143】

その結果、ウェハ1枚当たりのチップ収集数の向上を図ることができ、半導体装置の製品コストの上昇を抑制することができる。

## 【0144】

また、摩耗し易いV字型刃ブレードの使用量を低減できるので、第1の実施の形態に比べて、当該ブレードの寿命が長くなるうえに第1半導体チップ毎に個片化する際の切削時間を短縮できる。

## 【0145】

## &lt;第7の実施の形態&gt;

図12を参照して、この発明の第7の実施の形態に係る半導体装置90について説明する。

## 【0146】

図12に示すように、この実施の形態の半導体装置90には支持部である基板83が具備されていない点が、第6の実施の形態との主な相違点である。

## 【0147】

また、この実施の形態の半導体装置90の製造方法は、第6の実施の形態で説明した搭載工程において、第1半導体チップ82の裏面82d及び載置面83f



間を、接着性の低い接着剤（不図示）によって固定する。低接着性な接着剤として、例えば、光プラズマによるアッシング処理や $\text{C}_\text{F}_4$ プラズマ処理による疎水基の導入等が施された、硬化後のポリイミド膜等を使用できる。

#### 【0148】

そして、第6の実施の形態と同様にして外部端子形成工程まで行った後、この実施の形態では、基板83をバキューム等によって剥離して除去する支持部除去工程を行って半導体装置90を得る。

#### 【0149】

上述した説明から明らかのように、この実施の形態では、第6の実施の形態と同様の効果を得ることができる。

#### 【0150】

さらに、この実施の形態では、支持部である基板83を具備しない構成であるため、第6の実施の形態よりも半導体装置の薄膜化を図ることができる。

#### 【0151】

さらに、第6の実施の形態のような接着剤が不要のため、熱膨張等による寸法誤差や耐薬品性に対する懸念がなく、よって、高信頼性な半導体装置となる。

#### 【0152】

##### <第8の実施の形態>

図13を参照して、この発明の第8の実施の形態に係る半導体装置95について説明する。

#### 【0153】

この実施の形態では、棒状部である感光性樹脂86に、当該基板83の表裏間を導通するための導体部98を有する貫通部であるスルーホール96が形成されていて、かつ当該導体部98が第1配線層18と電気的に接続されている点が第7の実施の形態との主な相違点である。

#### 【0154】

図13に示すように、棒状部である感光性樹脂86にはスルーホール96が形成されており、このスルーホール96の内壁全面に当該感光性樹脂86の表裏間を導通可能とする導体部（銅めっき層）98が形成されている。このスルーホー

ル96の両端には、銅からなる第3ランド97及び第7パッド99がそれぞれ形成されている。

【0155】

スルーホール96の導体部98は、上述した他の実施の形態の場合と同様に、露出された第3ランド97を介して第1配線層18と電気的に接続されている。また、ここでの第7パッド99は、例えば、半導体装置をパッケージ積層型半導体装置として形成する際の半導体装置搭載用パッド又はコイルやコンデンサ等の受動素子搭載用パッドとなる。

【0156】

また、半導体装置95によってパッケージ積層型半導体装置を構成する場合には、半導体装置95の半田ボール24と、例えば、同様の構造を有する半導体装置95の第7パッド99とを接合して、第1半導体チップ82の厚み方向に複数積層させれば良い。

【0157】

また、この構成例での第1半導体チップ82からの出力信号は、第1パッド14から第1配線層18とポスト部20とを介して半田ボール24へ至る経路、及び、第1パッド14から第1配線層18と第3ランド97とスルーホール96とを介して第7パッド99へ至る経路の双方またはいずれか一方の経路を経て伝送される。また、半田ボール24や第7パッド99からの入力信号は、上述とは逆の経路を経て伝送される。

【0158】

また、この実施の形態での半導体装置95の製造方法は、第7の実施の形態で説明した搭載工程と同様に、第1半導体チップ82を、所定位置にスルーホール96と露出された第3ランド97とが予め形成された感光性樹脂86によって包囲されるような位置に、不図示の接着性の低い接着剤を介してを載置して固定する。また、第7の実施の形態で説明した第1配線層形成工程と同様に、先ず、第1パッド14及び第3ランド97の頂面を露出させるように、絶縁膜16を形成した後、第1パッド14とこの第1パッド14との接続関係が指定されている第3ランド97とが接続されるように、第1配線層18を形成する。そして、第7

の実施の形態と同様にして外部端子形成工程まで行った後、基板83をバキューム等によって剥離して除去する支持部除去工程を行う。その後、各スルーホール96に対応する位置に第7パッド99を形成して半導体装置95を得る。尚、この構成例のスルーホール96の形成は、先ず、感光性樹脂86にホトリソエッティングによって貫通孔を形成する。そして、この貫通孔の内壁に印刷法等により導体部98をコーティングした後に感光性樹脂を硬化させて、この硬化した樹脂に対してめっき法等で導体部98を形成することにより得られる。尚、この構成例では、感光性樹脂を完全に硬化させる前に第1半導体チップ82を載置しても良い。この場合には、第1半導体チップ82及び感光性樹脂86間の密着性をさらに向上させることができ、耐湿性に優れた界面を形成できる。

## 【0159】

上述した説明から明らかのように、この実施の形態では、第7の実施の形態と同様の効果を得ることができる。

## 【0160】

さらに、この半導体装置を積層させてパッケージ積層型半導体装置とした場合には、従来のWB方式のパッケージ積層型半導体装置では困難であったファンイン構造が可能となり、よって、パッケージサイズの小型化及び薄膜化を図ることができる。

## 【0161】

以上、この発明は、上述した実施の形態の組合せのみに限定されない。よって、任意好適な段階において好適な条件を組み合わせ、この発明を適用することができる。

## 【0162】

例えば、上述した各実施の形態ではBGA型について説明したが、この発明をLGA型に任意好適に適用させても良い。

## 【0163】

また、上述した各実施の形態では、ファンイン／ファンアウト構造を有する半導体装置について説明したが、目的や設計に応じてファンアウト構造のみを有する場合であっても良い。

【0164】

【発明の効果】

上述した説明から明らかなように、この発明によれば、第1半導体チップ上方（すなわち、ファンイン部）はもとより第1半導体チップの上方以外の領域（すなわち、ファンアウト部）にも外部端子を配置されたファンアウト構造にでき、通常のW.C.S.Pに比べて多ピン化に対応可能な半導体装置となる。

【0165】

さらに、半導体チップ上の電極パッドと外部端子とが配線層（再配線層とも称する。）を介して電気的に接続されているため、W.B方式に比べて総信号配線長の短縮等を図ることができ、よって、優れた高周波特性を有する半導体装置となる。

【図面の簡単な説明】

【図1】

(A) は、この発明の第1の実施の形態の半導体装置を示す概略平面図であり、(B) は、この発明の第1の実施の形態の半導体装置の一部を示す概略断面図である。

【図2】

(A) ~ (C) は、この発明の第1の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図3】

(A) ~ (C) は、この発明の第1の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図4】

(A) は、この発明の第2の実施の形態の半導体装置を示す概略平面図であり、(B) は、この発明の第2の実施の形態の半導体装置の一部を示す概略断面図である。

【図5】

(A) は、この発明の第3の実施の形態の半導体装置を示す概略平面図であり、(B) は、この発明の第3の実施の形態の半導体装置の一部を示す概略断面図

である。

【図6】

(A)～(C)は、この発明の第3の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図7】

(A)は、この発明の第4の実施の形態の半導体装置を示す概略平面図であり、(B)は、この発明の第4の実施の形態の半導体装置の一部を示す概略断面図である。

【図8】

(A)は、この発明の第5の実施の形態の半導体装置を示す概略平面図であり、(B)は、この発明の第5の実施の形態の半導体装置の一部を示す概略断面図である。

【図9】

(A)は、この発明の第6の実施の形態の半導体装置を示す概略平面図であり、(B)は、この発明の第6の実施の形態の半導体装置の一部を示す概略断面図である。

【図10】

(A)～(C)は、この発明の第6の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図11】

(A)～(C)は、この発明の第6の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図12】

この発明の第7の実施の形態の半導体装置の一部を示す概略断面図である。

【図13】

この発明の第8の実施の形態の半導体装置の一部を示す概略断面図である。

【符号の説明】

10、11、50、60、70、80、90、95：半導体装置

12：基板（半導体チップ搭載部）

1 2 a : 基板の搭載面（第3主表面）  
1 2 b : 基板の載置面（第1の領域）  
1 2 c : 基板の不載置面（第2の領域）  
1 2 i : 基板の裏面（第4主表面）  
1 4 : 第1パッド  
1 5、8 2 : 第1半導体チップ  
1 5 a : 第1半導体チップの主表面（第1主表面）  
1 5 b : 第1半導体チップの側壁面  
1 5 c : 第1半導体チップの裏面（第2主表面）  
1 5 x : 第1半導体チップの側壁  
1 5'、8 2' : 個片化前の第1半導体チップ  
1 6、2 1 : 絶縁膜  
1 8 : 第1配線層（第1再配線層）  
1 9 : ブレード（V字型刃付き）  
2 0 : ポスト部  
2 2 : 封止層  
2 4 : 半田ボール（外部端子）  
3 0、8 1 : 半導体ウェハ  
3 2 : ウェハ固定テープ  
3 6、8 9 : 溝  
3 8、5 2、9 6 : スルーホール（貫通部）  
3 9、5 4、9 8 : 導体部  
4 0 : 第3パッド  
4 2 : 第1ランド  
4 3 : 第2パッド  
4 4 : 第2半導体チップ  
4 4 a : 第2半導体チップの搭載面（第3主表面）  
4 4 b : 第2半導体チップの載置面（第1の領域）  
4 4 c : 第2半導体チップの不載置面（第2の領域）

44 i : 第2半導体チップの裏面（第4主表面）

45 : 第4パッド

46 : 第5パッド

49 : 第2配線層（第2再配線層）

53 : 第2ランド

56 : 第6パッド

79 : ブレード（V字型刃無し）

82 a : 第1半導体チップの主表面（第1主表面）

82 b : 第1半導体チップの傾斜側壁面

82 c : 第1半導体チップの垂直壁面

82 d : 第1半導体チップの裏面（第2主表面）

83 : 基板（支持部）

83 e : 基板の搭載面

83 f : 基板の載置面

83 g : 基板の不載置面

86 : 感光性樹脂（枠状部）

86 j : 感光性樹脂の主表面（第3主表面）

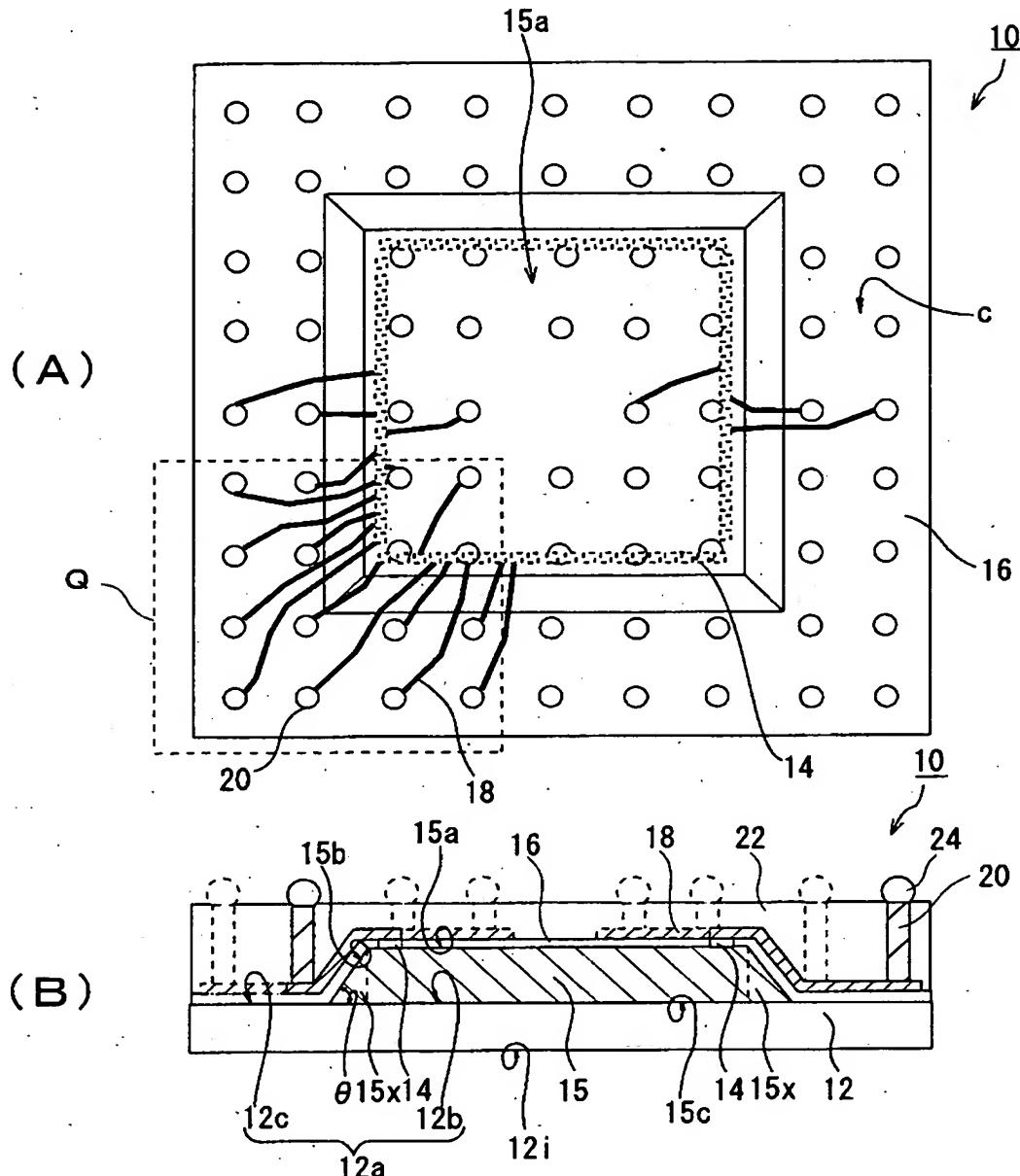
86 k : 感光性樹脂の裏面（第4主表面）

97 : 第3ランド

【書類名】

図面

【図1】



10:半導体装置 12:基板(半導体チップ搭載部) 14:第1パッド

12a:基板の搭載面(第3主表面) 12b:基板の載置面(第1の領域)

12c:基板の不載置面(第2の領域) 12i:基板の裏面(第4主表面)

15:第1半導体チップ 15a:第1半導体チップの主表面(第1主表面)

15b:第1半導体チップの側壁面

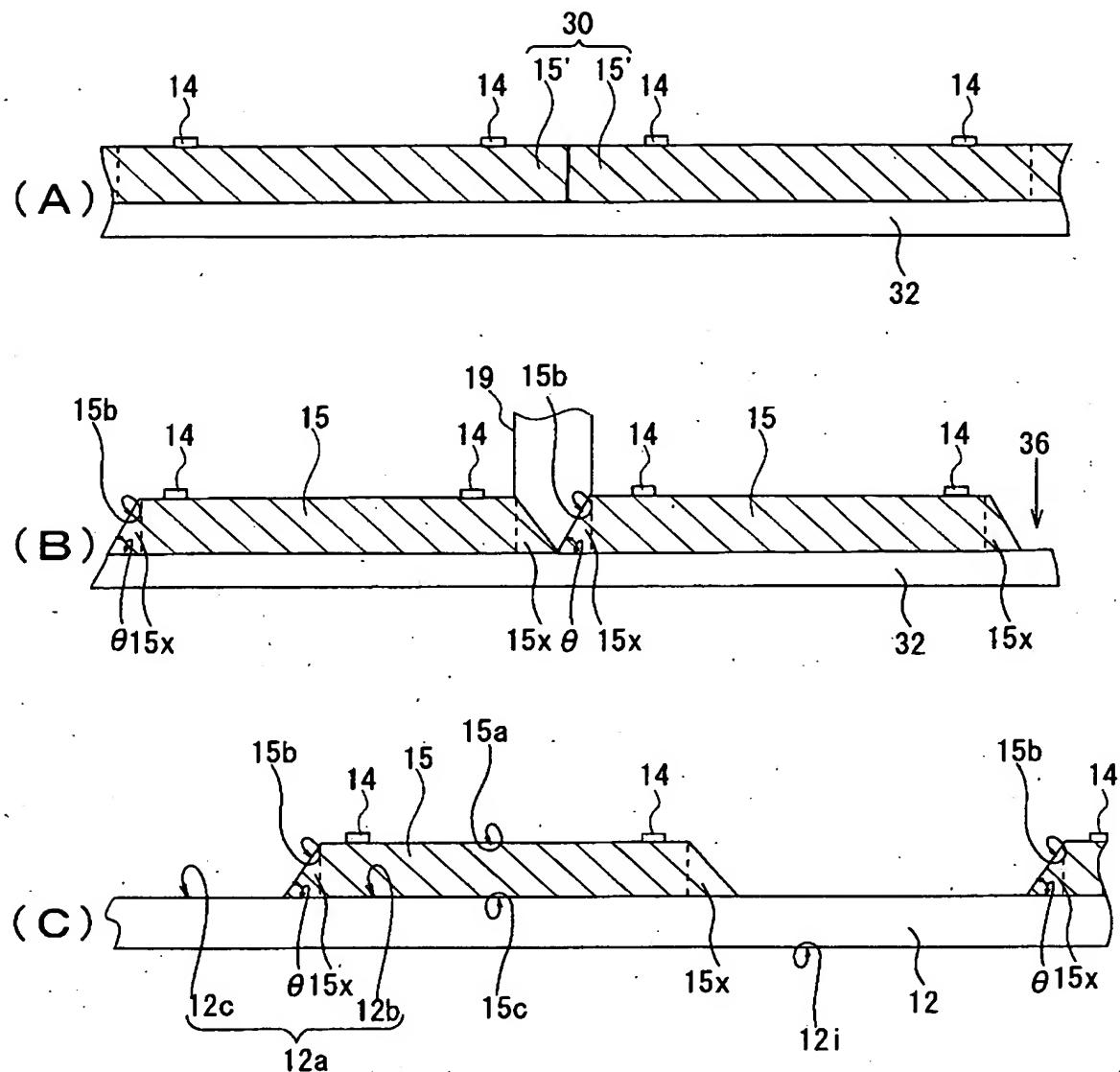
15c:第1半導体チップの裏面(第2主表面)

15x:第1半導体チップの側壁 16:絶縁膜 18:第1配線層(第1再配線層)

20:ポスト部 22:封止層 24:半田ボール(外部端子)

この発明の第1の実施の形態の半導体装置

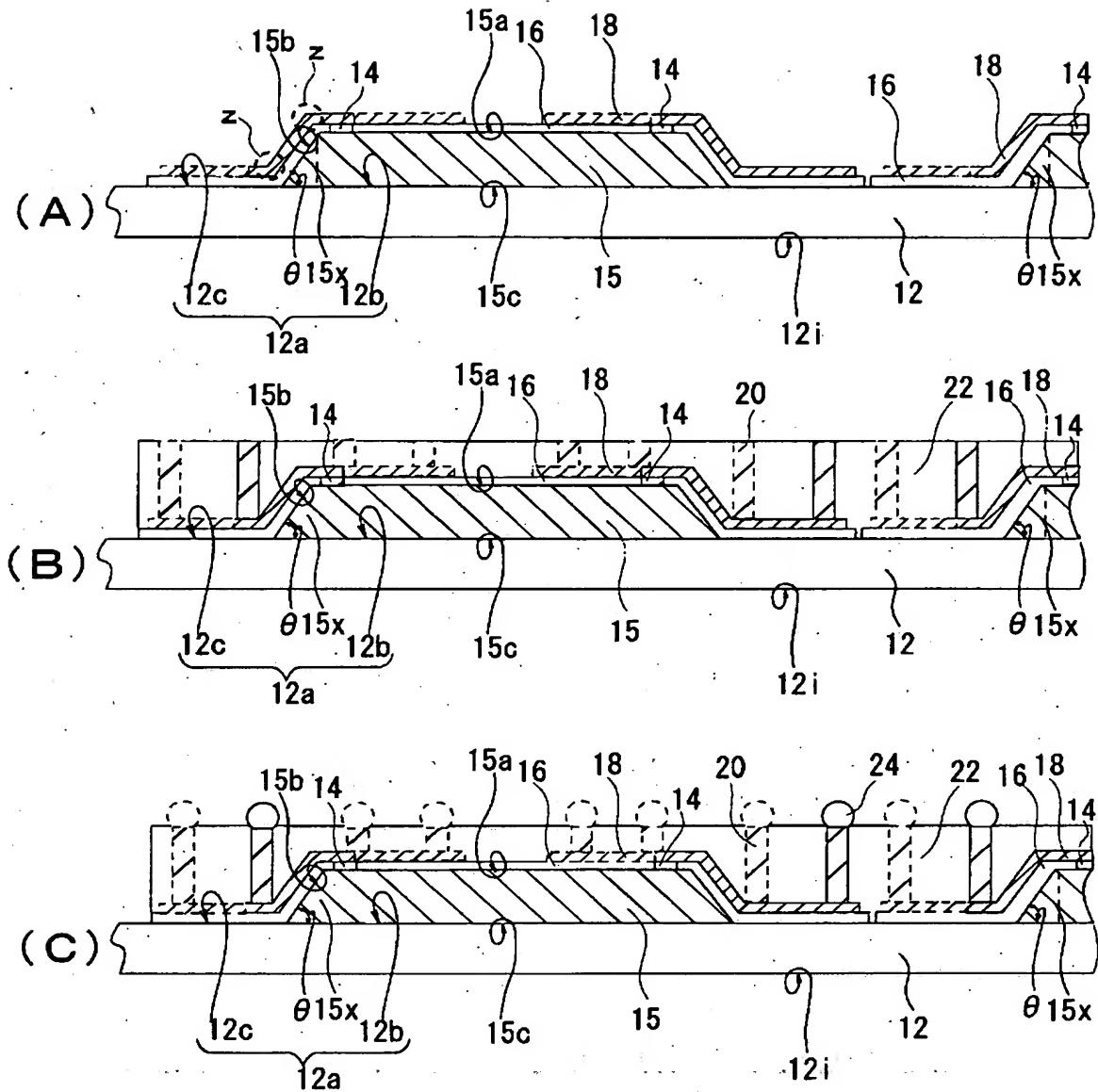
【図2】



15':個片化前の第1半導体チップ 19:ブレード（V字型刃付き）  
30:半導体ウェハ 32:ウェハ固定テープ 36:溝

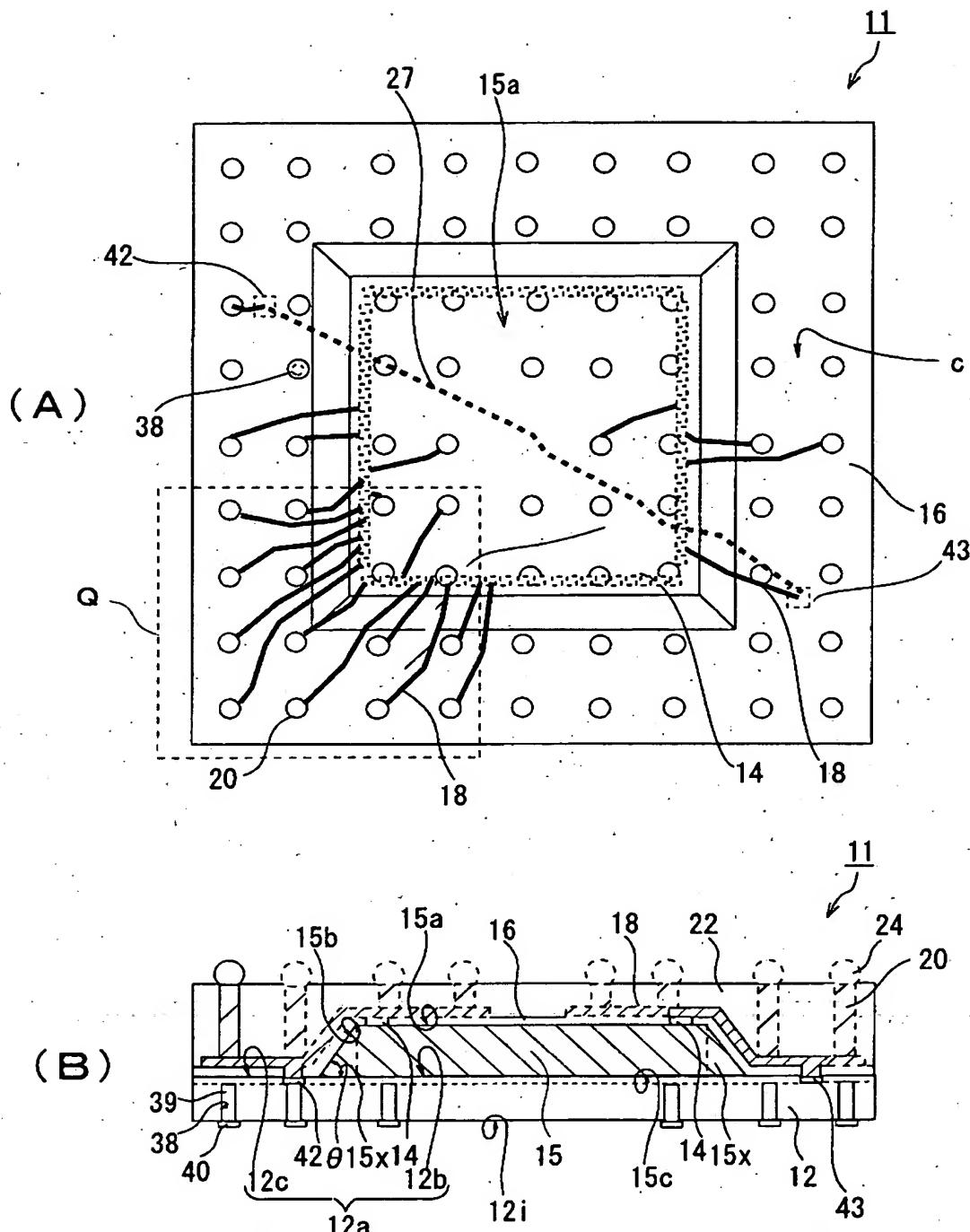
この発明の第1の実施の形態の半導体装置の製造工程

【図3】



この発明の第1の実施の形態の半導体装置の製造工程

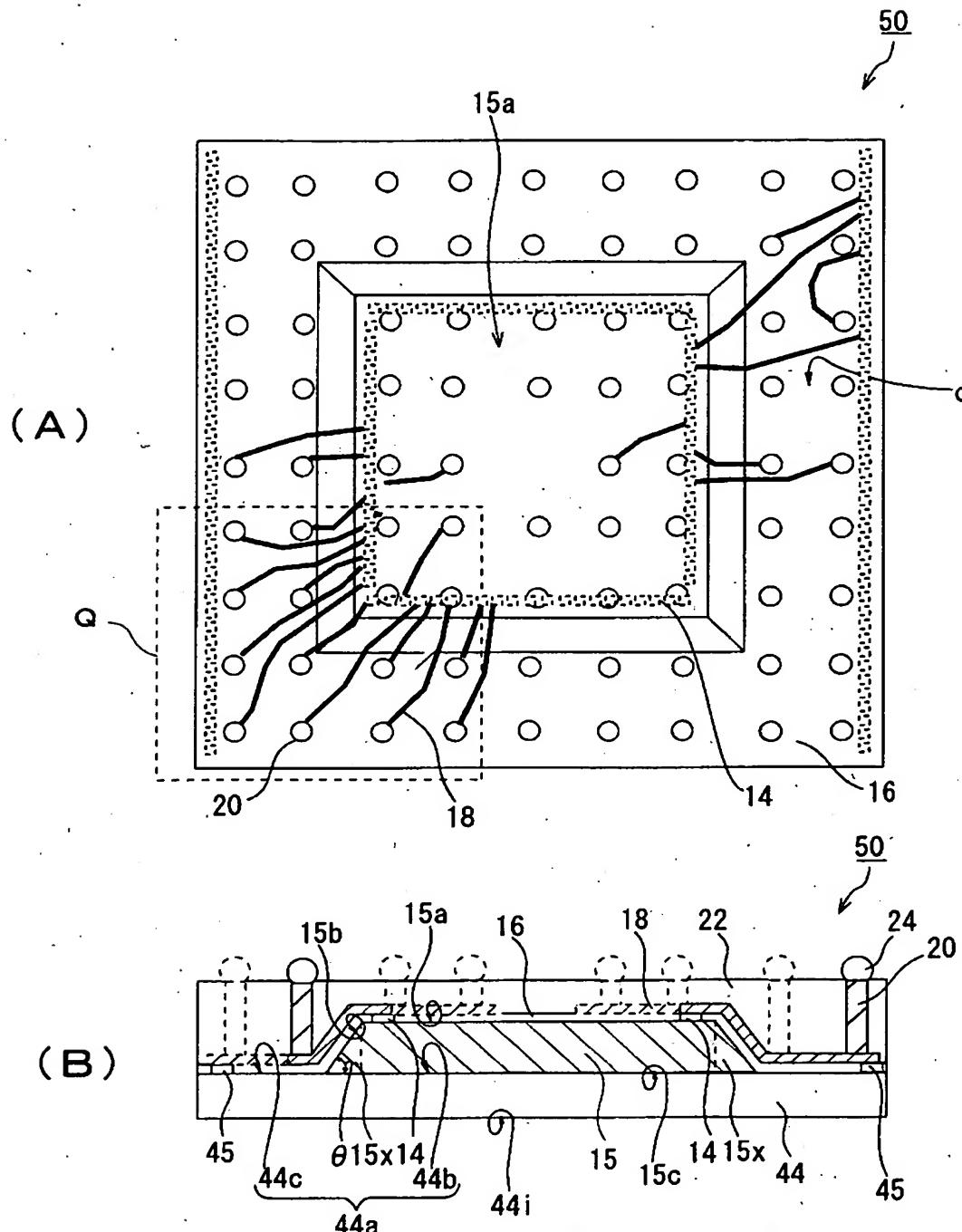
【図4】



11:半導体装置 27:配線部 38:スルーホール（貫通部）  
39:導体部 40:第3パッド 42:第1ランド 43:第2パッド

この発明の第2の実施の形態の半導体装置

【図5】



44:第2半導体チップ 44a:第2半導体チップの搭載面（第3主表面）

44b:第2半導体チップの載置面（第1の領域）

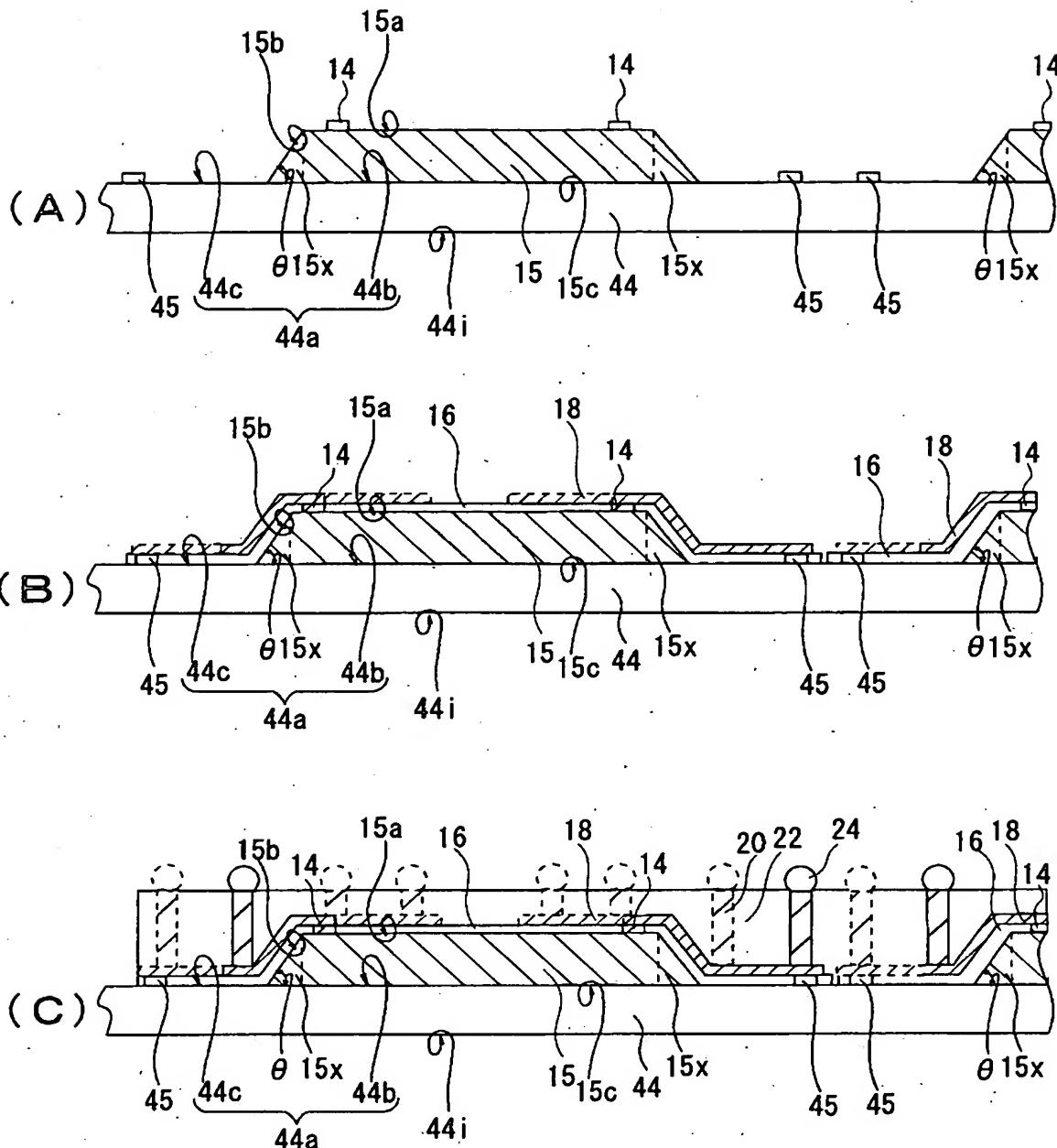
44c:第2半導体チップの不載置面（第2の領域）

44i:第2半導体チップの裏面（第4主表面） 45:第4パッド

50:半導体装置

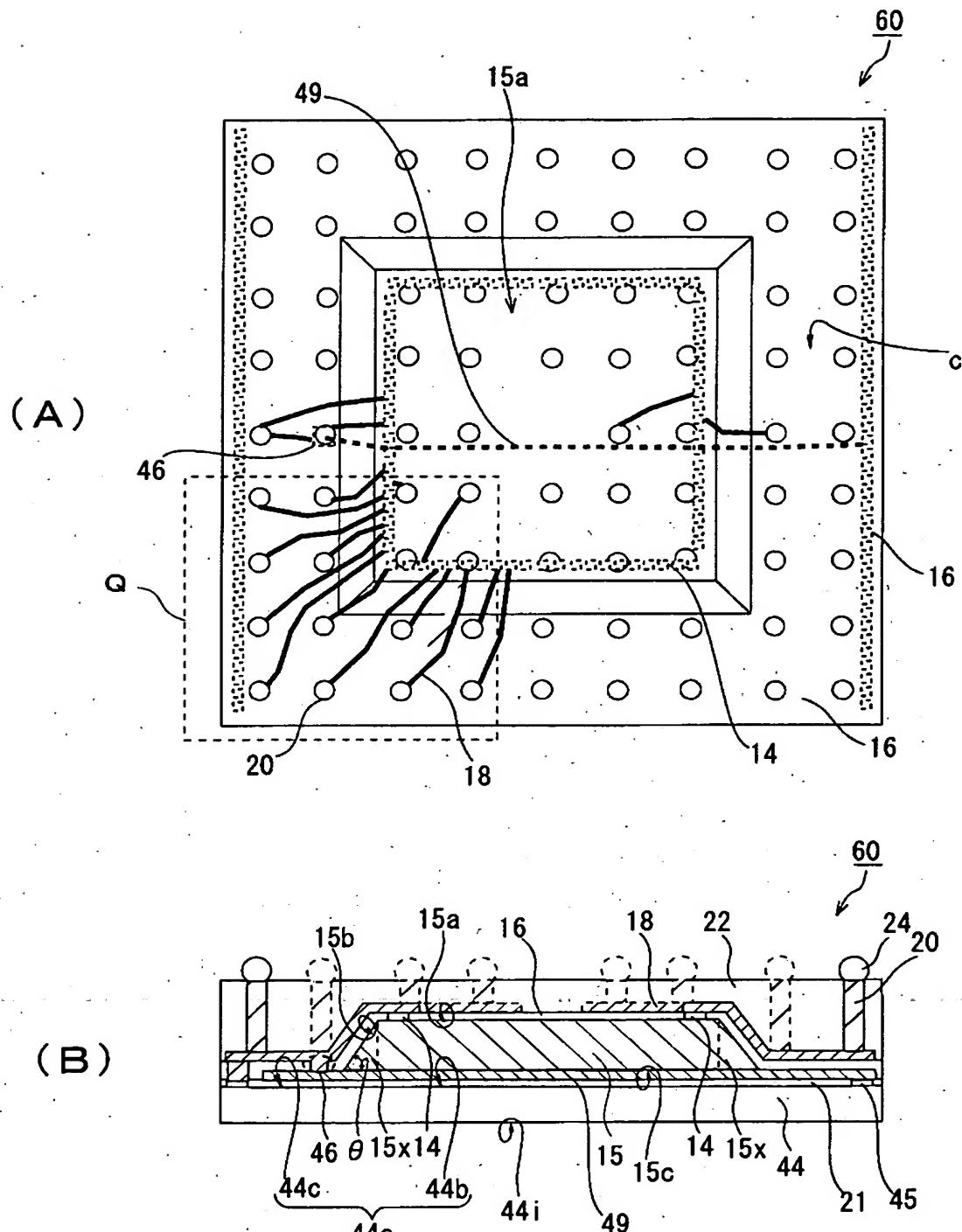
この発明の第3の実施の形態の半導体装置

【図6】



この発明の第3の実施の形態の半導体装置の製造工程

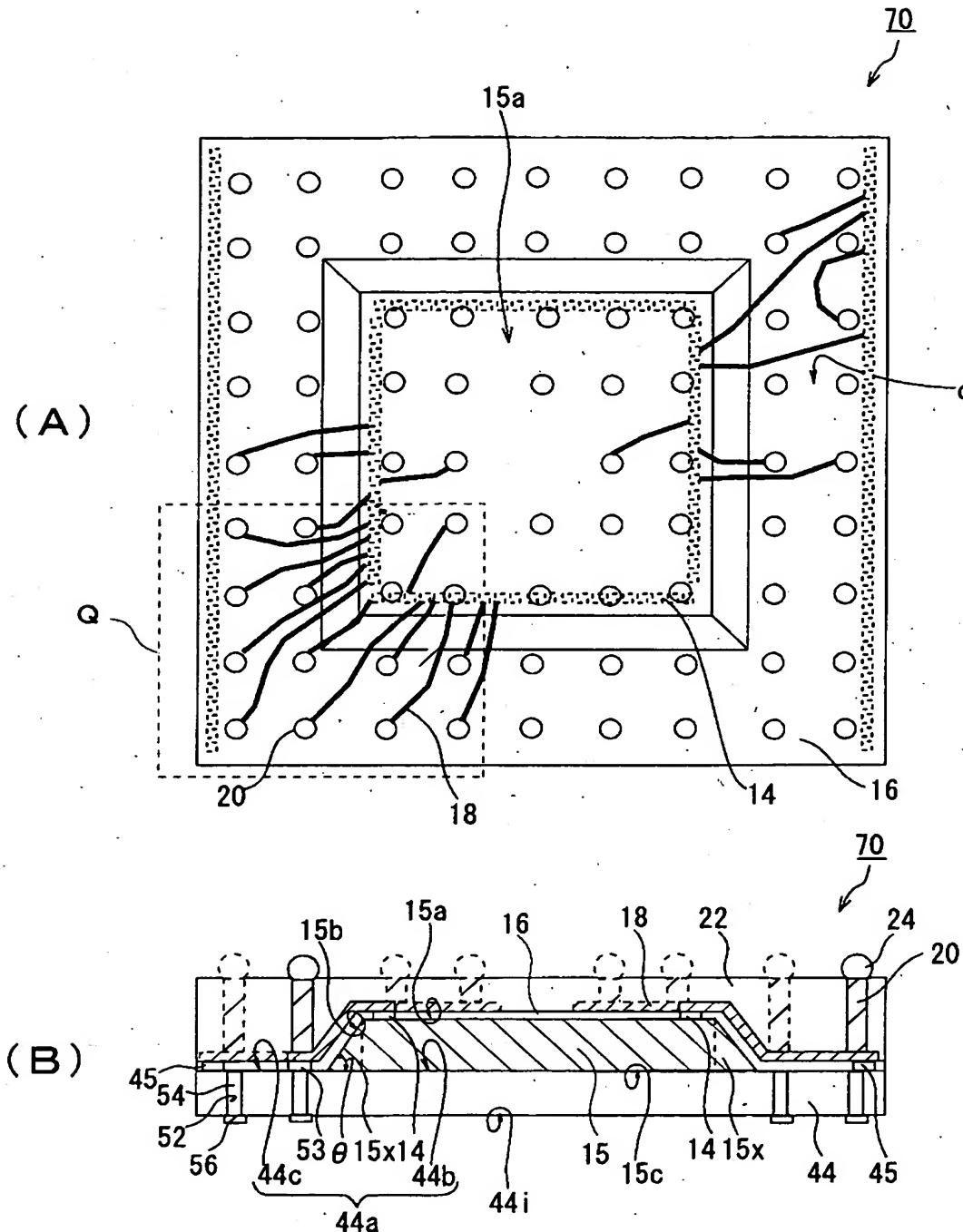
【図7】



21:絶縁膜 46:第5パッド 49:第2配線層（第2再配線層）  
60:半導体装置

この発明の第4の実施の形態の半導体装置

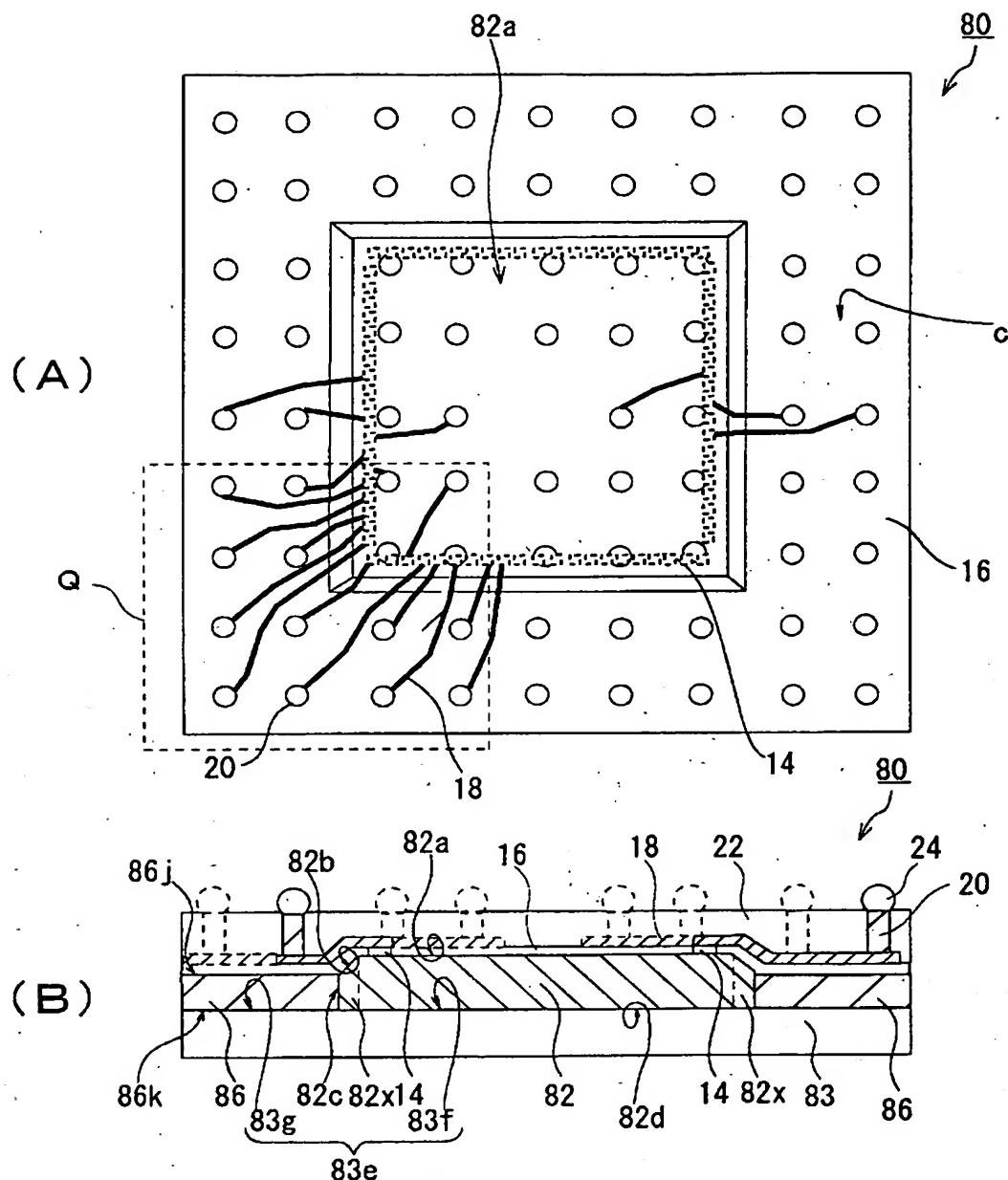
【図8】



52:スルーホール（貫通部） 53:第2ランド  
54:導体部 56:第6パッド 70:半導体装置

この発明の第5の実施の形態の半導体装置

【図9】



80:半導体装置 82:第1半導体チップ

82a:第1半導体チップの主表面(第1主表面)

82b:第1半導体チップの傾斜側壁面 82c:第1半導体チップの垂直壁面

82d:第1半導体チップの裏面(第2主表面) 82x:第1半導体チップの側壁

83:基板(支持部) 83e:基板の搭載面 83f:基板の載置面

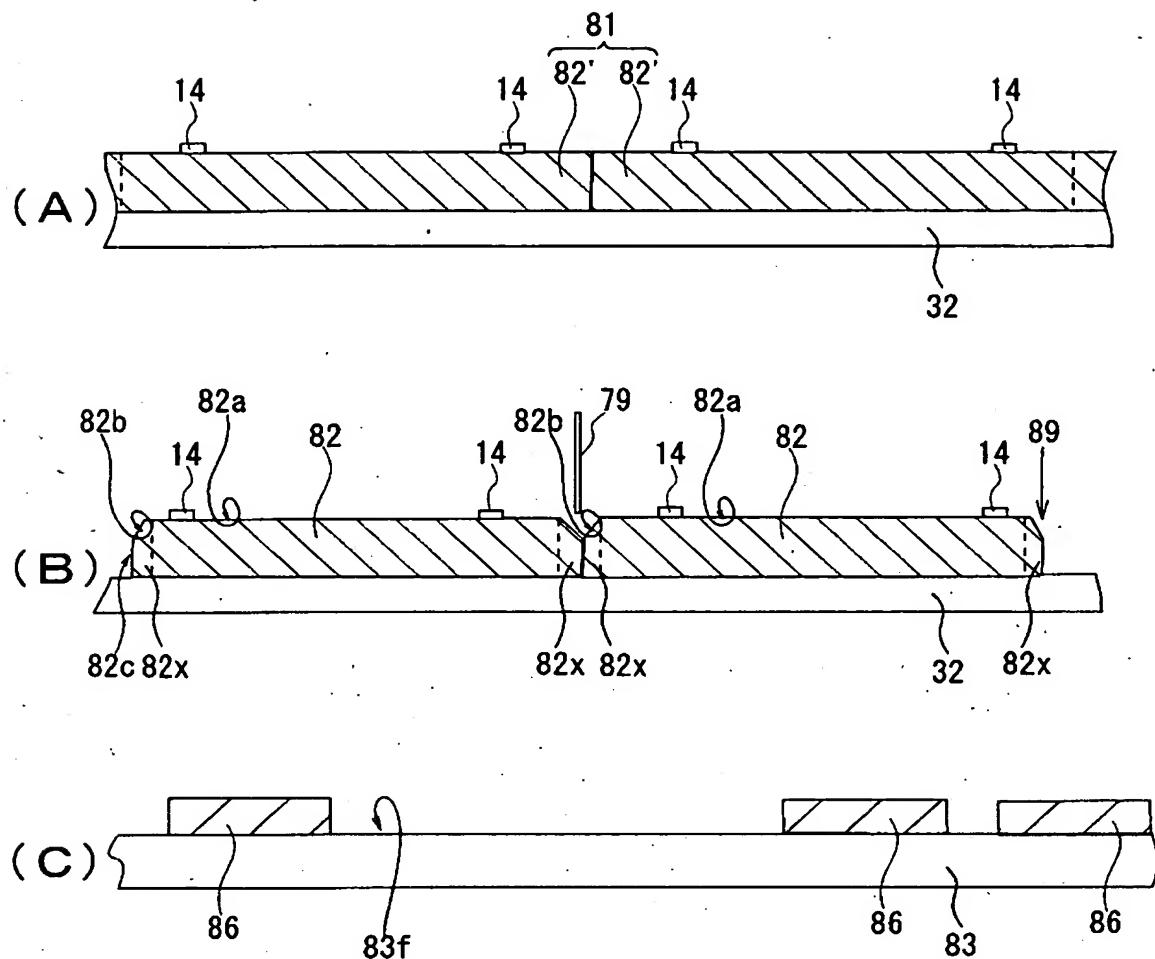
83g:基板の不載置面 86:感光性樹脂(枠状部)

86j:感光性樹脂の主表面(第3主表面)

86k:感光性樹脂の裏面(第4主表面)

この発明の第6の実施の形態の半導体装置

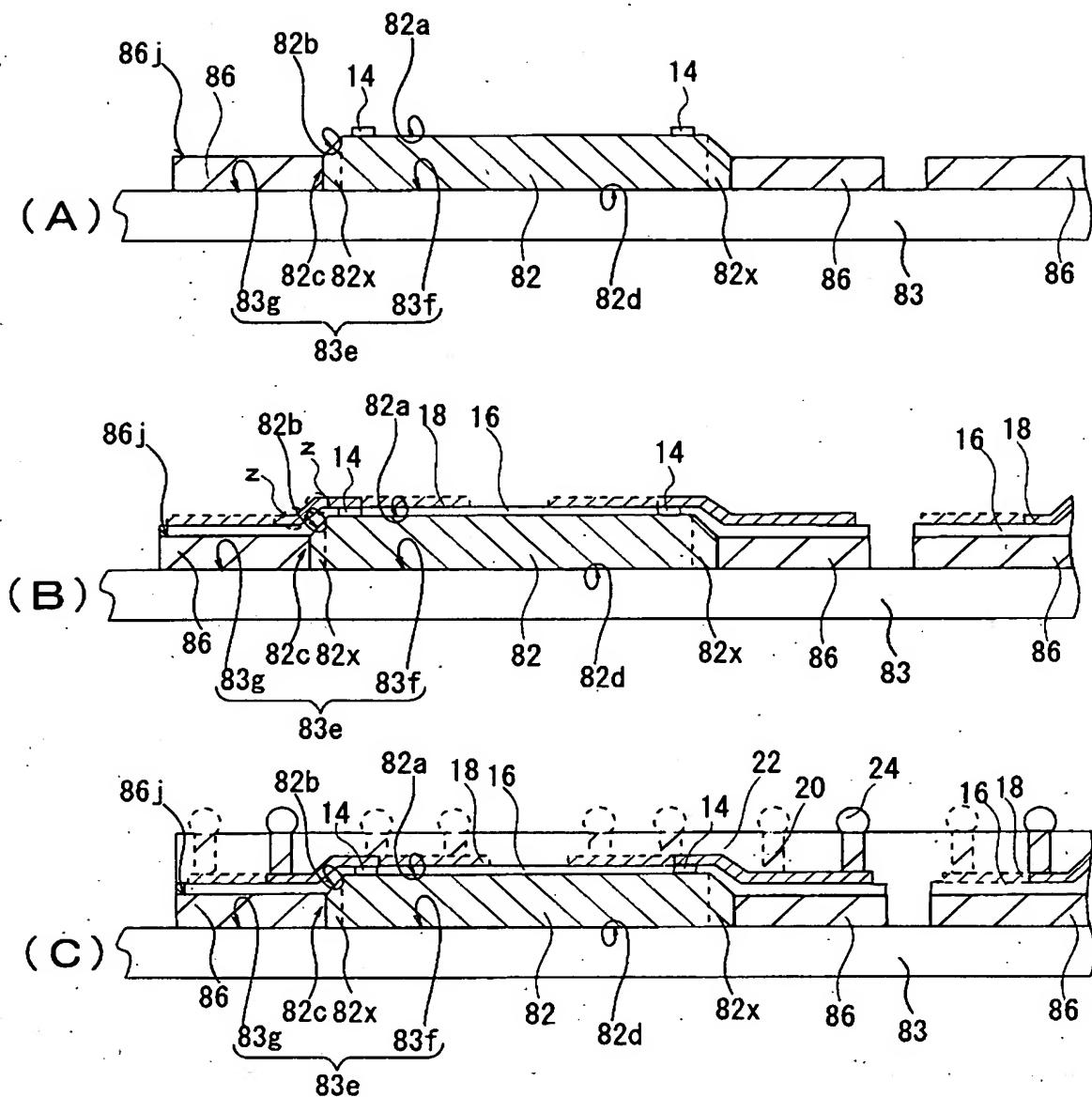
【図10】



79:ブレード（V字型刃無し） 81:半導体ウェハ  
82':個片化前の第1半導体チップ 86:感光性樹脂（枠状部材）

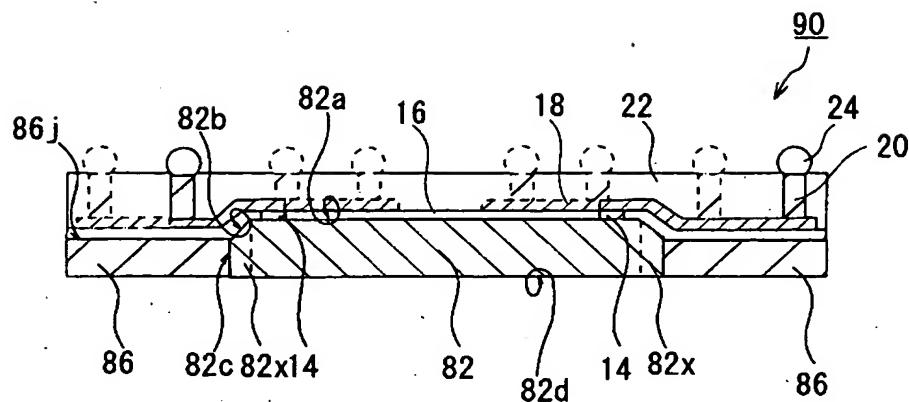
この発明の第6の実施の形態の半導体装置の製造工程

【図11】



この発明の第6の実施の形態の半導体装置の製造工程

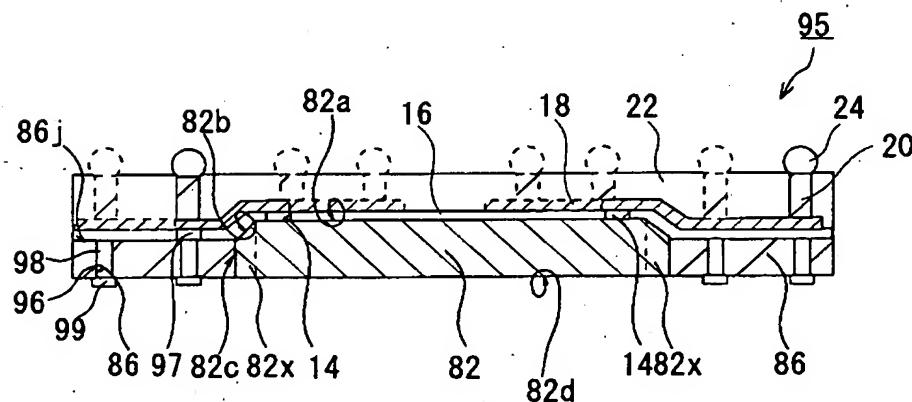
【図12】



90:半導体装置

この発明の第7の実施の形態の半導体装置

【図13】



95:半導体装置 96:スルーホール 97:第3ランド

98:導体部 99:第7パッド

この発明の第8の実施の形態の半導体装置

【書類名】 要約書

【要約】

【課題】 実装面上に配置可能な外部端子の増加（多ピン化）に対応し得る半導体装置及びその製造方法の提供。

【解決手段】 メサ型の半導体チップ15が半導体チップ搭載部である基板12の載置面12bに載置されており、この第1半導体チップの4つの側壁15xの側壁面15bは載置面に対して鋭角θ（ $0^\circ < \theta < 90^\circ$ ）をなすように交差している。そして、この第1半導体チップの主表面15aに形成された第1パッド14は、当該第1パッドにその一端が接続されるとともに、半導体チップの主表面、側壁面及び不載置面12cに沿うようにして延在された第1配線層18を介して、不載置面上に設けられた半田ボール24と電気的に接続されている。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-325768
受付番号	50201692806
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年11月11日

<認定情報・付加情報>

【提出日】 平成14年11月 8日

次頁無

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社